

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

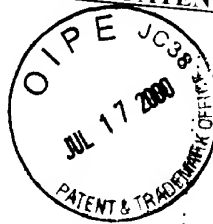
In re application of:

Atsuko KOZAI

Appln. No.: 09/604,530

Filed: June 27, 2000

For: STANDARD CELL, STANDARD
CELL ARRAY, AND SYSTEM AND
METHOD FOR PLACING AND
ROUTING STANDARD CELLS



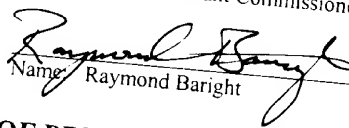
Art Unit: To be assigned

Examiner: To be assigned

Docket No.: KOM-02001

Certificate of Mailing

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as first-class mail, postage prepaid, in an envelope addressed to the Assistant Commissioner for Patents Washington, D.C. 20231 on this date of July 12, 2000.


Name: Raymond Baright

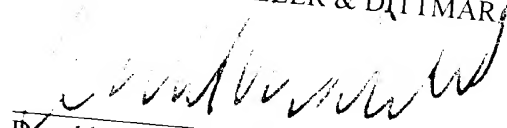
SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

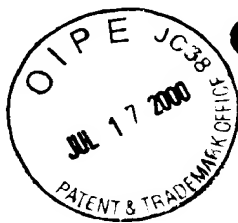
Attached hereto is Japanese application no. 11-182445, filed June 28, 1999, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-951-6676.

Respectfully submitted,
HUTCHINS, WHEELER & DITTMAR


Donald W. Muirhead
Reg. No. 33,978

July 12, 2000
Date

Patent Group
Hutchins, Wheeler & Dittmar
101 Federal Street
Boston, MA 02110



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 6月28日

出 願 番 号

Application Number:

平成11年特許願第182445号

出 願 人

Applicant (s):

日本電気アイシーマイコンシステム株式会社

2000年 4月28日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦

出証番号 出証特2000-3031111

【書類名】 特許願
 【整理番号】 01210652
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/82
 【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目 4 0 3 番 5 3
 日本電気アイシーマイコンシステム株
 式会社内

【氏名】 古財 敦子
 【特許出願人】
 【識別番号】 000232036
 【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】
 【識別番号】 100082935
 【弁理士】
 【氏名又は名称】 京本 直樹
 【電話番号】 03-3454-1111

【選任した代理人】
 【識別番号】 100082924
 【弁理士】
 【氏名又は名称】 福田 修一
 【電話番号】 03-3454-1111

【選任した代理人】
 【識別番号】 100085268
 【弁理士】
 【氏名又は名称】 河合 信明
 【電話番号】 03-3454-1111

【手数料の表示】
 【予納台帳番号】 021566

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114180

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スタンダードセル、スタンダードセル列、スタンダードセルの配置配線装置および配置配線方法

【特許請求の範囲】

【請求項 1】 拡散層の電源端子と第 1 層メタルの入力端子と第 1 層メタルの出力端子とを有することを特徴とするスタンダードセル。

【請求項 2】 P チャネルトランジスタと N チャネルトランジスタからなる機能回路を含み前記 P チャネルトランジスタ中の一部の P チャネルトランジスタに第 1 の電源を供給する第 1 の電源端子と前記 N チャネルトランジスタ中の一部の N チャネルトランジスタに第 2 の電源を供給する第 2 の電源端子と、前記機能回路の入力端子と前記機能回路の出力端子とを有するスタンダードセルにおいて、

前記第 1 の電源が供給される P チャネルトランジスタの P 型拡散層上に設けた前記第 1 の電源端子と、前記第 2 の電源が供給される N チャネルトランジスタの N 型拡散層上に設けた前記第 2 の電源端子と、第 1 層メタル上に設けた前記入力端子と、第 1 層メタル上に設けた前記出力端子とを有することを特徴とするスタンダードセル。

【請求項 3】 請求項 1 もしくは 2 記載のスタンダードセルをセル内部のウェル境界線が一直線上にのるように位置合わせして並べ一方向に伸びるセル列に形成し、該セル列中に所定の間隔で少なくとも一個の割合で配置されて前記第 1、第 2 の電源とウェル層、基板とを接続する基板コンタクトセルを有することを特徴とするスタンダードセル列。

【請求項 4】 請求項 1 もしくは 2 記載のスタンダードセルを格納したライブラリファイルと、開発対象 L S I の回路接続情報を格納した回路接続情報ファイルと、配置配線に関する制約情報を格納した制約情報ファイルと、L S I の電源電圧、動作周波数、拡散層の単位あたりの抵抗値を含むパラメータ情報を格納するパラメータファイルと、前記ライブラリファイルと前記回路接続情報ファイルと前記パラメータファイルからの情報を使用してスタンダードセルの配置配線を実行する配置配線システムと、配置配線の経過並びに結果を外部へ表示出力す

るとともに外部からの制御コマンドを入力して配置配線システムを制御する入出力表示装置とを備えたことを特徴とするスタンダードセルの配置配線装置。

【請求項 5】 請求項 4 記載のスタンダードセルの配置配線装置を用いて実行され、

前記回路接続情報ファイルから前記回路接続情報を入力する第 1 の処理ステップと、

前記回路接続情報に対応するスタンダードセルを前記セルライブラリファイルから読み出しセル列に分類して所定セル数毎に少なくとも 1 個の基板コンタクト用セルを挿入するとともにセル列毎に内部のウェル境界が平面視で一直線になるように各セルを配置してスタンダードセル列を形成する第 2 の処理ステップと、

前記スタンダードセル列に含まれる前記スタンダードセル間の信号線を前記回路接続情報にしたがって配線する第 3 の処理ステップと、

前記スタンダードセル列中の既配線領域の外形を抽出し前記既配線領域の外側に電源線を配置する第 4 の処理ステップと、

前記スタンダードセル列中の各セルの電源端子が前記電源線が重なる場合にはコンタクトホールを生成して接続し、前記電源端子が前記電源線と重ならない場合には前記電源端子から電源供給用拡散層配線を引き出して前記電源線との重なり部を設けコンタクトホールを生成して接続する第 5 の処理ステップと、

前記電源供給用拡散層配線の抵抗値が前記制約情報ファイルに格納された所定の抵抗値以下であるか否かを判定する第 6 の処理ステップと、

前記第 6 の処理ステップで前記電源供給用拡散層配線の抵抗値が前記所定の抵抗値を越える場合に前記スタンダードセル間の信号線を再配線して前記第 4 の処理ステップに戻る第 7 の処理ステップと、

前記第 6 の処理ステップで前記電源供給用拡散層配線の抵抗値が前記所定の抵抗値以下である場合に前記スタンダードセル列内の未接続配線およびスタンダードセル列間の信号配線を配線する第 8 の処理ステップとを有することを特徴とするスタンダードセルの配置配線方法。

【請求項 6】 前記第 2 の処理ステップは、
前記回路接続情報に対応する前記スタンダードセルを前記セルライブラリファイ

ルから読み出しセル列に分類してセル列毎に内部のウェル境界が平面視で一直線になるように各セルを配置する第 1 のサブステップと、
セル列内の所定セル数毎に少なくとも 1 個の前記基板コンタクトセルを挿入配置して前記スタンダードセル列を形成する第 2 のサブステップと、
セル数、セル種類、電源電圧、動作周波数を含む情報から電源線幅を算出する第 3 のサブステップと、
前記電源線幅と信号線本数と信号経路から必要となる配線チャンネルの幅を算出する第 4 のサブステップと、
前記制約情報ファイルに格納されたチップ寸法を参照比較して配線可能であるか否かを判定し配線不可能であれば前記第 1 のサブステップに戻り配線可能であれば処理を終了する第 5 のサブステップを有する請求項 5 記載のスタンダードセルの配置配線方法。

【請求項 7】 前記第 5 の処理ステップは、
スタンダードセル列に含まれるスタンダードセルの電源端子を抽出する第 1 のサブステップと、
抽出した電源端子と前記電源線とが重なっているか否かを判定する第 2 のサブステップと、
前記第 2 のサブステップで前記抽出した電源端子と前記電源線とが重なっていない場合に前記抽出した電源端子から前記電源供給用拡散層配線を引き伸ばし前記電源層との重なり部を形成する第 3 のサブステップと、
前記第 2 のサブステップで前記抽出した電源端子と前記電源線とが重なっている場合にまたは前記第 3 のサブステップの処理した後に移行し、前記抽出した電源端子と前記電源線との重なり部にコンタクトホールを配置する第 4 のサブステップとを有する請求項 5 記載のスタンダードセルの配置配線方法。

【請求項 8】 前記第 7 の処理ステップは、
前記電源供給用拡散層配線の抵抗値を前記所定の抵抗値以下に低減にするにあたり障害となる信号配線を検出する第 1 のサブステップと、
障害となっている信号配線部分を削除し結果として発生した端点部分に第 1 層メタルと第 2 層メタルとを接続するためのスルーホールを設置する第 2 のサブステ

ップと、

修正後の電源供給用拡散層配線の抵抗値の推定値が許容範囲内か否かを判定し前記所定の抵抗値を越える場合は前記第 1 のサブステップに戻り前記所定の抵抗値以下の場合は処理を終了する第 3 のサブステップとを有する請求項 5 記載のスタンダードセルの配置配線方法。

【請求項 9】 請求項 4 記載のスタンダードセルの配置配線装置を用いて実行され、

前記回路接続情報ファイルから前記回路接続情報を入力する第 1 の処理ステップと、

前記回路接続情報に対応するスタンダードセルを前記セルライブラリファイルから読み出しセル列に分類して仮配置し仮セル列を形成する第 2 の処理ステップと、

前記仮セル列内で連続して隣接配置された所定個数範囲の前記スタンダードセルをグループ化してセルグループを形成する第 3 の処理ステップと、

前記セルグループの中から 1 個のセルグループを抽出し処理対象セルグループとする第 4 の処理ステップと、

前記処理対象セルグループ内の前記スタンダードセル間の信号線を配線する第 5 の処理ステップと、

前記処理対象セルグループ内の既配線領域の外形を抽出してその内部を電源線の配線禁止領域として制約情報ファイルに登録する第 6 の処理ステップと、

前記仮セル列に含まれる前記スタンダードセル間の信号線を前記回路接続情報に配線禁止領域の外側に沿って電源線を生成する第 7 の処理ステップと、

前記処理対象セルグループ中の各セルの電源端子が前記電源線が重なる場合にはコンタクトホールを生成して接続し、前記電源端子が前記電源線と重ならない場合には前記電源端子から電源供給用拡散層配線を引き出して前記電源線との重なり部を設けコンタクトホールを生成して接続する第 8 の処理ステップと、

前記電源供給用拡散層配線の抵抗値が前記制約情報ファイルに格納された所定の抵抗値以下であるか否かを判定する第 9 の処理ステップと、

前記第 9 の処理ステップで前記電源供給用拡散層配線の抵抗値が前記所定の抵抗

値を越える場合に前記スタンダードセル間の信号線を再配線して前記第 5 の処理ステップに戻る第 1 0 の処理ステップと、

前記第 9 の処理ステップで前記電源供給用拡散層配線の抵抗値が前記所定の抵抗値以下である場合に全部の前記セルグループについて処理が完了したか否かを判定し未処理のセルグループがあれば前記第 4 の処理ステップに移行する第 1 1 の処理ステップと、

前記第 1 1 の処理ステップで全部の前記セルグループの処理が完了したと判定された場合に仮配置セルからなる前記仮セル列を対応する処理済みセルグループに置換してスタンダードセル列を形成する第 1 2 の処理ステップと、

前記処理済みセルグループ間の電源線を接続して前記スタンダードセル列の電源線を形成する第 1 3 の処理ステップと、

前記スタンダードセル列内の未接続配線およびスタンダードセル列間の信号配線を配線する第 1 4 の処理ステップとを有することを特徴とするスタンダードセルの配置配線方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体基板上に形成されるスタンダードセル、スタンダードセル列、スタンダードセルの配置配線装置および配置配線方法に関する。

【0002】

【従来の技術】

短期間で L S I を半導体基板上に高集積に形成するためのレイアウト設計技術として、インバータや N A N D 回路のような小単位の回路をスタンダードセルとして用意しておき、これを列状に配置し、セル間を配線することにより L S I を形成するスタンダードセル方式の L S I 設計技術が広く利用されている。

【0003】

図 1 8 (a) はスタンダードセル方式の L S I のレイアウト模式図である。高さが同一の複数の機能セル 1 0 6 を列状に配置したセル列を複数配置し、セル列間には配線チャネル領域 1 8 0 1 が設けられて、同一セル列内のセル間配線 1 8

0 2, 異なるセル列に属するセル間を結ぶセル列間配線 1 8 0 3 が配置される。

【0 0 0 4】

図 1 8 (b) はスタンダードセル内部のパターン図である。インバータ機能を持つ機能セル 1 0 6 a において、1 1 1 は N ウェル、1 1 2 は P 型拡散層、1 1 3 は N 型拡散層、1 1 4 はポリシリコン、1 1 5 は P 型または N 型の拡散層と第 1 層メタルとの間のコンタクトホール、1 1 6 はポリシリコンと第 1 層メタルとの間のコンタクトホール、1 1 7 は第 1 層メタル、1 2 0 は第 1 層メタルの V D D 配線、1 2 1 は第 1 層メタルの V S S 配線 1 2 1 のそれぞれの領域のパターンを示している。N ウェル 1 1 1 内には P 型拡散層 1 1 2 のソースおよびドレインを有する P チャネルの M O S トランジスタが形成され、N ウェルの外側の P 型基板領域では N 型拡散層 1 1 3 のソースおよびドレインを有する N チャネルの M O S トランジスタが形成される。

【0 0 0 5】

従来のスタンダードセルは、全てのセルの高さ寸法が一定であり、図 1 8 (b) のように V D D 電源線 1 2 0 と V S S 電源線 1 2 1 が固定された幅でそれぞれセル内の上端部と下端部に配置されていて、両電源線に挟まれたセル内の領域はセル内のトランジスタ、端子等の間の配線に使用されていた。そのため、セル間の配線には配線チャネル領域を使用せざるを得ないが、一方ではフリップフロップなどの多数のトランジスタと複雑なセル内配線が必要な機能セルに合わせてセルの高さ寸法が決められるために、インバータや 2 入力 N A N D などのセル内配線が単純な機能セルでは第 1 層メタルの空き領域が多く生じるにもかかわらず、これをセル間の配線に使用できないという問題点があった。またスタンダードセル内の電源線の幅は一定であり、電源電流の多寡に応じて配線幅を変更することが容易でないという問題点があった。

【0 0 0 6】

これに対して、特開平 6 - 1 6 9 0 1 6 号公報には、電源線とセル内配線領域の間にセル間の配線に利用するための空き領域を設けたスタンダードセルが開示されている。この第 2 の従来例のスタンダードセルの配線領域図を図 1 9 (a) に示す。第 1 メタルの V D D 配線 1 2 0 とセル内配線領域 1 2 2 の間に空き領域

を設け、また第 1 メタルの V S S 配線 1 2 1 とセル内配線領域 1 2 2 の間に空き領域を設けて、セル間の配線に利用することによって高密度化に効果がある。

【 0 0 0 7 】

また特開平 3 - 6 2 5 5 1 号公報には、電源線の外側領域にまで素子領域が伸びているスタンダードセルが開示されている。この第 3 の従来例のスタンダードセルの配線領域図を図 1 9 (b) に示す。V D D 電源線 1 2 0 と V S S 電源線 1 2 1 の間にセル内配線領域 1 2 2 が設けられる点では第 1 の従来例の図 1 8 (b) に示したスタンダードセルと同様であるが、素子領域（鎖線で示す）が電源線の外側まで延びている。この領域は配線チャンネル領域としても使用できるのでセル間配線に利用できるとともに、電源線の高さはセル間で統一しても、素子領域の寸法できまる実質的なセルの高さ寸法はセルにより自由に設定できるという利点がある。

【 0 0 0 8 】

また特開平 5 - 5 5 3 8 1 号公報には電源線パターンのないスタンダードセルが開示されている。この第 4 の従来例のスタンダードセルの配線領域図を図 1 9 (c) に示す。セルにはセル内のトランジスタ、端子間の配線パターンを含むセル内配線領域 1 2 2 のみを有し、セル列を配置した後に、セル列の長さ、消費電力に合わせて線幅を決定した電源線パターンを発生して各スタンダードセルと結合させることにより電源線を配線するので最適な線幅にすることができる。

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、第 2 の従来例のスタンダードセルには電源線幅の最適化が困難で、またセル高さが一定に制約されるという問題点が残し、第 3 の従来例のスタンダードセルには電源線幅の最適化が困難であり、第 4 の従来例のスタンダードセルはセル高さが一定に制約され、また素子領域上をセル間配線に使用しないので配線密度が低いという問題点が残っている。

【 0 0 1 0 】

本発明の目的は、セル高さ一定の制約がなく、電源線とセル内配線領域との間の領域にセル間配線がなされ、最適な線幅の電源線を確保できるスタンダードセ

ル、スタンダードセル列、スタンダードセルの配置配線装置および配置配線方法を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

本発明の第 1 の発明のスタンダードセルは、拡散層の電源端子と第 1 層メタルの入力端子と第 1 層メタルの出力端子とを有することを特徴とし、また P チャネルトランジスタと N チャネルトランジスタからなる機能回路を含み前記 P チャネルトランジスタ中の一部の P チャネルトランジスタに第 1 の電源を供給する第 1 の電源端子と前記 N チャネルトランジスタ中の一部の N チャネルトランジスタに第 2 の電源を供給する第 2 の電源端子と、前記機能回路の入力端子と前記機能回路の出力端子とを有するスタンダードセルにおいて、前記第 1 の電源が供給される P チャネルトランジスタの P 型拡散層上に設けた前記第 1 の電源端子と、前記第 2 の電源が供給される N チャネルトランジスタの N 型拡散層上に設けた前記第 2 の電源端子と、第 1 層メタル上に設けた前記入力端子と、第 1 層メタル上に設けた前記出力端子とを有することを特徴とする。

【 0 0 1 2 】

本発明の第 2 の発明のスタンダードセル列は、前記第 1 の発明のスタンダードセルをセル内部のウェル境界線が一直線上にのるように位置合わせして並べ一方向に伸びるセル列に形成し、該セル列中に所定の間隔で少なくとも一個の割合で配置されて前記第 1、第 2 の電源とウェル層、基板とを接続する基板コンタクトセルを有することを特徴とする。

【 0 0 1 3 】

本発明の第 3 の発明のスタンダードセルの配置配線装置は、前記第 1 の発明のスタンダードセルを格納したライブラリファイルと、開発対象 L S I の回路接続情報を格納した回路接続情報ファイルと、配置配線に関する制約情報を格納した制約情報ファイルと、L S I の電源電圧、動作周波数、拡散層の単位あたりの抵抗値を含むパラメータ情報を格納するパラメータファイルと、前記ライブラリファイルと前記回路接続情報ファイルと前記パラメータファイルからの情報を使用してスタンダードセルの配置配線を実行する配置配線システムと、配置配線の経

過並びに結果を外部へ表示出力するとともに外部からの制御コマンドを入力して配置配線システムを制御する入出力表示装置とを備えたことを特徴とする。

【 0 0 1 4 】

本発明の第 4 の発明のスタンダードセルの配置配線方法は、前記第 3 の発明のスタンダードセルの配置配線装置を用いて実行され、前記回路接続情報ファイルから前記回路接続情報を入力する第 1 の処理ステップと、前記回路接続情報に対応するスタンダードセルを前記セルライブラリファイルから読み出しセル列に分類して所定セル数毎に少なくとも 1 個の基板コンタクト用セルを挿入するとともにセル列毎に内部のウェル境界が平面視で一直線になるように各セルを配置してスタンダードセル列を形成する第 2 の処理ステップと、前記スタンダードセル列に含まれる前記スタンダードセル間の信号線を前記回路接続情報にしたがって配線する第 3 の処理ステップと、前記スタンダードセル列中の既配線領域の外形を抽出し前記既配線領域の外側に電源線を配置する第 4 の処理ステップと、前記スタンダードセル列中の各セルの電源端子が前記電源線が重なる場合にはコンタクトホールを生成して接続し、前記電源端子が前記電源線と重ならない場合には前記電源端子から電源供給用拡散層配線を引き出して前記電源線との重なり部を設けコンタクトホールを生成して接続する第 5 の処理ステップと、前記電源供給用拡散層配線の抵抗値が前記制約情報ファイルに格納された所定の抵抗値以下であるか否かを判定する第 6 の処理ステップと、前記第 6 の処理ステップで前記電源供給用拡散層配線の抵抗値が前記所定の抵抗値を越える場合に前記スタンダードセル間の信号線を再配線して前記第 4 の処理ステップに戻る第 7 の処理ステップと、前記第 6 の処理ステップで前記電源供給用拡散層配線の抵抗値が前記所定の抵抗値以下である場合に前記スタンダードセル列内の未接続配線およびスタンダードセル列間の信号配線を配線する第 8 の処理ステップとを有することを特徴とする。ここで前記第 2 の処理ステップは、前記回路接続情報に対応する前記スタンダードセルを前記セルライブラリファイルから読み出しセル列に分類してセル列毎に内部のウェル境界が平面視で一直線になるように各セルを配置する第 1 のサブステップと、セル列内の所定セル数毎に少なくとも 1 個の前記基板コンタクトセルを挿入配置して前記スタンダードセル列を形成する第 2 のサブステップと

、セル数、セル種類、電源電圧、動作周波数を含む情報から電源線幅を算出する第3のサブステップと、前記電源線幅と信号線本数と信号経路から必要となる配線チャンネルの幅を算出する第4のサブステップと、前記制約情報ファイルに格納されたチップ寸法を参照比較して配線可能であるか否かを判定し配線不可能であれば前記第1のサブステップに戻り配線可能であれば処理を終了する第5のサブステップを有するものでもよく、また前記第5の処理ステップは、スタンダードセル列に含まれるスタンダードセルの電源端子を抽出する第1のサブステップと、抽出した電源端子と前記電源線とが重なっているか否かを判定する第2のサブステップと、前記第2のサブステップで前記抽出した電源端子と前記電源線とが重なっていない場合に前記抽出した電源端子から前記電源供給用拡散層配線を引き伸ばし前記電源層との重なり部を形成する第3のサブステップと、前記第2のサブステップで前記抽出した電源端子と前記電源線とが重なっている場合にまたは前記第3のサブステップの処理した後に移行し、前記抽出した電源端子と前記電源線との重なり部にコンタクトホールを配置する第4のサブステップとを有するものでもよく、また前記第7の処理ステップは、前記電源供給用拡散層配線の抵抗値を前記所定の抵抗値以下に低減にするにあたり障害となる信号配線を検出する第1のサブステップと、障害となっている信号配線部分を削除し結果として発生した端点部分に第1層メタルと第2層メタルとを接続するためのスルーホールを設置する第2のサブステップと、修正後の電源供給用拡散層配線の抵抗値の推定値が許容範囲内か否かを判定し前記所定の抵抗値を越える場合は前記第1のサブステップに戻り前記所定の抵抗値以下の場合は処理を終了する第3のサブステップとを有するものでもよい。

【0015】

本発明の第5の発明のスタンダードセルの配置配線方法は、前記第3の発明のスタンダードセルの配置配線装置を用いて実行され、前記回路接続情報ファイルから前記回路接続情報を入力する第1の処理ステップと、前記回路接続情報に対応するスタンダードセルを前記セルライブラリファイルから読み出しセル列に分類して仮配置し仮セル列を形成する第2の処理ステップと、前記仮セル列内で連続して隣接配置された所定個数範囲の前記スタンダードセルをグループ化してセ

ルグループを形成する第 3 の処理ステップと、前記セルグループの中から 1 個のセルグループを抽出し処理対象セルグループとする第 4 の処理ステップと、前記処理対象セルグループ内の前記スタンダードセル間の信号線を配線する第 5 の処理ステップと、前記処理対象セルグループ内の既配線領域の外形を抽出してその内部を電源線の配線禁止領域として制約情報ファイルに登録する第 6 の処理ステップと、前記仮セル列に含まれる前記スタンダードセル間の信号線を前記回路接続情報に配線禁止領域の外側に沿って電源線を生成する第 7 の処理ステップと、前記処理対象セルグループ中の各セルの電源端子が前記電源線が重なる場合にはコンタクトホールを生成して接続し、前記電源端子が前記電源線と重ならない場合には前記電源端子から電源供給用拡散層配線を引き出して前記電源線との重なり部を設けコンタクトホールを生成して接続する第 8 の処理ステップと、前記電源供給用拡散層配線の抵抗値が前記制約情報ファイルに格納された所定の抵抗値以下であるか否かを判定する第 9 の処理ステップと、前記第 9 の処理ステップで前記電源供給用拡散層配線の抵抗値が前記所定の抵抗値を越える場合に前記スタンダードセル間の信号線を再配線して前記第 5 の処理ステップに戻る第 10 の処理ステップと、前記第 9 の処理ステップで前記電源供給用拡散層配線の抵抗値が前記所定の抵抗値以下である場合に全部の前記セルグループについて処理が完了したか否かを判定し未処理のセルグループがあれば前記第 4 の処理ステップに移行する第 11 の処理ステップと、前記第 11 の処理ステップで全部の前記セルグループの処理が完了したと判定された場合に仮配置セルからなる前記仮セル列を対応する処理済みセルグループに置換してスタンダードセル列を形成する第 12 の処理ステップと、前記処理済みセルグループ間の電源線を接続して前記スタンダードセル列の電源線を形成する第 13 の処理ステップと、前記スタンダードセル列内の未接続配線およびスタンダードセル列間の信号配線を配線する第 14 の処理ステップとを有することを特徴とする。

【0016】

【発明の実施の形態】

図 1 (a), (b) は本発明のスタンダードセルのパターン図である。図 1 (a) はインバータセル 101 のパターン図であり、全層のパターンを示している

。 1 1 1 は N ウェル、 1 1 2 は P 型拡散層、 1 1 3 は N 型拡散層、 1 1 4 はポリシリコン、 1 1 5 は P 型または N 型の拡散層と第 1 層メタルとの間のコンタクトホール、 1 1 6 はポリシリコンと第 1 層メタルとの間のコンタクトホール、 1 1 7 は第 1 層メタル、 1 1 8 は P 型拡散層の V D D 端子、 1 1 9 は N 型拡散層の V S S 端子である。 N ウェル 1 1 1 内には P 型拡散層のソースおよびドレインを有する P チャネルの M O S トランジスタが形成され、 P チャネルの M O S トランジスタのソースとなる P 型拡散層 1 1 2 上に V D D 端子 1 1 8 が設置されている。同様に N ウェルの外側の P 型基板領域では N 型拡散層 1 1 3 のソースおよびドレインを有する N チャネルの M O S トランジスタが形成され、 N チャネルの M O S トランジスタのソースとなる N 型拡散層上に V S S 端子 1 1 9 が設置されている。両トランジスタはインバータとして機能するように第 1 層メタル 1 1 7 およびコンタクトホール 1 1 5 によって結線されている。

【 0 0 1 7 】

図 1 (b) のパターン図は、図 1 (a) から P 型、 N 型の拡散層と第 1 層メタルのみを選択表示した図であり、拡散層の V D D 端子 1 1 8 および V S S 端子 1 1 9 と第 1 層メタル 1 1 7 の入力端子 I N および出力端子 O U T を示している。本発明のスタンダードセルは、電源線のメタル配線を有しておらず、拡散層の V D D 端子 1 1 8 , V S S 端子 1 1 9 と第 1 メタルの入力端子、出力端子とを有していることが特徴である。

【 0 0 1 8 】

本発明のスタンダードセルにおいては電源端子が拡散層であることから、拡散層配線を介して電源線と接続することになり電源線とトランジスタとの間に寄生抵抗が挿入される場合が生じるが、近年の金属シリサイド形成技術の進歩により、拡散層領域の表面にチタン T i を被着してシリサイド化したチタンシリサイドや、コバルト C o を被着してシリサイド化したコバルトシリサイドなどが実用化されて拡散層の層抵抗値が激減した結果、寄生抵抗の影響を実用に支障ない範囲に抑制することが可能となった。

【 0 0 1 9 】

図 2 (a) のパターン図は 2 入力 N O R セル 1 0 2 を示し、図 2 (b) のパタ

ーン図は2入力NANDセル103を示し、図3(a)のパターン図は低電力インバータセル104を示し、図3(b)のパターン図はNウェル111の電位をVDD電位に固定し、P型基板の電位をVSS電位に固定するための基板コンタクトセル105を示す。本発明のスタンダードセルは、図1、図2、図3に示すように、セルの横寸法のみでなく縦寸法もセル毎に異なっても良い。

【0020】

図4は本発明のスタンダードセルを用いて配置配線を実行しLSIを設計するスタンダードセルの配置配線装置の構成図である。設計システムはセルの配置並びにセル間の配線および電源線の配置配線システム401と、図1、2、3に示した各セルを含むセルライブラリファイル402と、開発するLSIの回路接続情報ファイル403と、配置配線に関する制約を格納した制約情報ファイル404と、入出力表示装置405と、動作周波数、動作温度範囲およびP型拡散層、N型拡散層、各メタル配線層の層抵抗などの情報を格納するパラメータファイル406とで構成されている。入出力表示装置405は、配置配線の経過や結果を表示するとともにこれを通じてのコマンド入力などにより配置配線の実行を制御することができる。

【0021】

次に配置配線システム401における配置配線方法について詳細に説明する。図5は配置配線フロー図である。

【0022】

まずステップ501で回路接続情報ファイル403からLSIの回路をセルの機能と対応する小回路および小回路間の接続情報で表現した回路接続情報を入力して、ステップ502に進む。

【0023】

図6の回路図は、ステップ501で入力された回路接続情報を回路図に表現したもので、低電力インバータ604の入力端子は端子Aに接続され、その出力端子は接続線A1を介して2入力NAND回路603の一方の入力端子に接続されている。2入力NAND回路603の他方の入力端子は端子Bに接続され、その出力端子は接続線A2を介して2入力NOR回路602の一方の入力端子と接続

されている。また、2入力NOR回路602の他方の入力端子Cに接続され、その出力端子は接続線A3を介してインバータ601の入力端子に接続されている。インバータ601の出力端子は端子Dに接続されている。インバータ601、2入力NOR回路602、2入力NAND回路603、低電力インバータ604は小回路に相当し、インバータセル101、2入力NORセル102、2入力NORセル103、低電力インバータセル104にそれぞれ対応する。

【0024】

ステップ502では、回路接続情報に対応するスタンダードセルをセルライブラリファイル402から読み出し、読み出したスタンダードセルをセル列に分類し、セル列毎に各セル内部のNウェル111の境界が平面視で一直線になるように配置する。図7のフロー図にステップ502の詳細を示す。ステップ701で各小回路間の相互接続線の本数および制約情報ファイル404からの近接配置制約などをもとに回路接続情報に含まれる各小回路の仮配置順を定め、セルライブラリファイル402から各小回路に対応するスタンダードセルを入力して小回路と置き換えた後にセル列の長さおよび段数を調整して各スタンダードセル内部のNウェル111の境界が平面視で一直線になるようにセル配置を定めて仮セル列とする。次にステップ702で各スタンダードセル列のNウェルの電位をVDD電位に安定的に定め、P型基板の電位をVSS電位に安定的に定めるために、仮セル列内の所定のセル数毎に少なくとも1個の基板コンタクトセル105を挿入してスタンダードセル列を形成する。次にステップ703でスタンダードセル列に含まれるセル数とセル種類、およびパラメータファイル406から読み出した第1層メタルの層抵抗、電源電圧、動作周波数、動作温度等のデータから電力消費による発熱、エレクトロマイグレーション耐量等を勘案して各スタンダードセル列に最適な電源線幅を算出する。次にステップ704で前ステップで求めた電源線幅とセル間の信号線本数、概略の信号経路、スタンダードセル列内の配線可能領域幅から各スタンダードセル列間に必要な配線チャンネル領域を算出する。次にステップ705では各スタンダードセル列と各配線チャンネル領域からLSIのチップ寸法を推定し、これが制約情報ファイル404に格納されたチップの縦横寸法を満足するか否かを判定する。満足しない場合は701に戻って入出力表示

装置 4 0 5 からコマンドによりセル列数を増やして又は減らして再配置する。満足する場合はステップ 5 0 2 を終了してステップ 5 0 3 に進む。

【 0 0 2 5 】

図 8 のパターン図はステップ 5 0 2 を終了した段階のスタンダードセル列の一部を示す。図 6 の回路図に使用しているインバータ 6 0 1、2 入力 NOR 回路 6 0 2、2 入力 NAND 回路 6 0 3 低電力インバータ 6 0 4 に対応してインバータセル 1 0 1、2 入力 NOR セル 1 0 2、2 入力 NAND セル 1 0 3、低電力インバータセル 1 0 4 が、各セル内部の N ウェル 1 1 1 の境界が平面視で一直線になるように配置され、さらに基板コンタクトセル 1 0 5 が追加されている。各スタンダードセルの N ウェル 1 1 1 は結合されて連続した一つのパターンとなる。各スタンダードセルの高さが異なるので、図 8 ではスタンダードセル列の上側境界線、下側境界線はともに凹凸した境界線となっている。

【 0 0 2 6 】

次にステップ 5 0 3 では、スタンダードセル列内の信号線を回路接続情報ファイル 4 0 3 に格納された回路接続情報にしたがって配線する。図 9 のパターン図は、ステップ 5 0 3 が完了した段階を示す。図 6 の回路接続にしたがって、端子 A は第 1 層メタルの接続線 9 0 1 を介して低電力インバータセル 1 0 4 の入力端子に接続される。また、低電力インバータセル 1 0 4 の出力端子は、第 1 層メタルの接続線 9 0 1 (A 1) を介して 2 入力 NAND セル 1 0 3 の一方の入力端子に接続され、端子 B は第 1 層メタルの接続線 9 0 1 を介して 2 入力 NAND セル 1 0 3 の他方の入力端子に接続される。また、2 入力 NAND セル 1 0 3 の出力端子は、第 1 層メタルの接続線 9 0 1 (A 2) を介して 2 入力 NOR セル 1 0 2 の一方の入力端子に接続される。また、2 入力 NOR セル 1 0 2 の出力端子は、第 1 層メタルの接続線 9 0 1 (A 3) を介してインバータセル 1 0 1 の入力端子に接続され、インバータセル 1 0 1 の出力端子は第 1 層メタルの接続線 9 0 1 を介して端子 D に接続される。ステップ 5 0 3 を終了するとステップ 5 0 4 に進む。

【 0 0 2 7 】

ステップ 5 0 4 ではスタンダードセル列内の配線領域の外形を抽出し、その外

形の外側に電源線を配置する。図 11 のパターン図を参照すると、VDD 電源線 1101 がセル列内の配線の平面視で上側に配置され、VSS 電源線 1102 がセル列内の配線の平面視で下側に配置されている。

【0028】

次にステップ 505 に進み、セルの電源端子を電源線に接続する。図 10 のフロー図は、ステップ 505 の処理の詳細を示すフロー図である。まず VDD 端子 118 についてステップ 1001 でスタンダードセル列に含まれる各スタンダードセルの VDD 端子 118 を抽出する。次にステップ 1002 では、抽出した VDD 端子 118 が VDD 電源線 1101 と重なっているか否かを判定する。重なっている場合にはステップ 1004 に移行する。重なっていない場合にはステップ 1003 に移行し、VDD 端子 118 から VDD 電源供給用の P 型拡散層配線 1105 およびそれに付随する N ウェルパターンを引き出して VDD 電源線 1101 と VDD 端子から引き出された P 型拡散層配線 1105 との重なり部分を形成し、ステップ 1004 に進む。ステップ 1004 では VDD 電源線 1101 と VDD 端子 118 との重なり部および VSS 電源線 1102 と VSS 端子引き出しパターンとの重なり部に拡散層と第 1 層メタルとの間に接続のためのコンタクトパターンを発生配置する。次にステップ 1005 で全部の VDD 端子 118 に対して VDD 電源線 1101 への接続処理が完了したか否かを判定し、処理が完了しておらず、未処理の VDD 端子 118 がある場合にはステップ 1001 にも戻る。全ての VDD 端子 118 について処理が完了した場合には VDD 端子 118 についての処理を完了する。同様にして VSS 端子 119 の VSS 電源への接続処理を行うが、処理の詳細はステップ 1001 からステップ 1005 までの説明の中で VDD 端子 118 を VSS 端子 119 に読み替え、VDD 電源線 1101 を VSS 電源線 1102 に読み替え、P 型拡散層配線を N 型拡散層配線に読み替えればよい。VDD 端子 118、VSS 端子 119 の両方の処理が全て完了するとステップ 505 を終了してステップ 506 に進む。

【0029】

図 11 のパターン図はステップ 505 を終了した段階のスタンダードセル列のパターンを示す。セル内配線および同一セル列のセル間配線が配置された領域の

外側にVDD電源線1101とVSS電源線1102が配置され、VDD端子118とVDD電源線1101の重なり部にはコンタクトホール1105が設けて接続している。VDD電源線1101と重ならないVDD端子は、VDD端子118から伸びるVDD電源供給用のP型拡散層配線1103を配置し、VDD電源線1101との重なり部にコンタクトホール1105を設けてVDD電源線1101と接続している。同様におよびVSS電源線1102と重ならないVSS端子は、VSS端子119から伸びるVSS電源供給用のN型拡散層配線1104を配置し、VSS電源線1102との重なり部にコンタクトホール1105を設けてVSS電源線1102と接続している。

【0030】

次のステップ506では電源供給用のP型拡散層配線1103、N型拡散層配線1104の抵抗値が許容範囲以内であるか否かを確認する。パラメータファイル406からP型拡散層、N型拡散層の層抵抗値を読み出し、それぞれの拡散層配線の幅と長さから抵抗値を算出して制約情報ファイル404に格納された許容抵抗値と比較する。拡散層配線の抵抗値が許容抵抗値以下の場合は、ステップ508に進み、許容抵抗値を越える場合にはステップ507に移行する。

【0031】

ステップ507では拡散層配線が許容抵抗値以下になるように再配線を行う。図12のフロー図はステップ507における再配線処理を詳細に説明するフロー図である。まずステップ1201で拡散層配線の抵抗値を許容値以下に低減するに当たってネックとなっている第1層メタルの信号配線を検出する。次のステップ1202では、検出されたネックの配線を削除し、削除した配線が接続されていた端点に第2層メタルとのスルーホールを設置し、また同時に電源線と抵抗値低減対象となっている拡散層配線とを除去してステップ1203に進む。ステップ1203ではステップ1202の処理により短縮可能となった拡散層配線の寸法を推定してその抵抗値を算出し、再度抵抗値が許容範囲内か否かを判定し、許容範囲を超えている場合にはステップ1201に戻る。ステップ1201の判定で拡散層配線の抵抗値が許容値以下であればその拡散層配線についての再配線処理は完了し、次の許容範囲を越える配線に移って処理を行う。全ての許容範囲を

超える配線について処理が完了したときには全ての拡散層配線の抵抗値は許容範囲内となっているのでステップ 5 0 8 に進む。

【 0 0 3 2 】

ステップ 5 0 8 では、セル列内の未接続配線とスタンダードセル列間の信号配線を接続して配置配線処理を終了する。

【 0 0 3 3 】

図 1 3 (a) , (b) , (c) , (d) のレイアウト模式図に、配置配線フローの各段階でのスタンダードセル列の配線状態を示す。図 1 3 (a) は図 5 におけるステップ 5 0 3 を終了した段階のレイアウト模式図であり、複数の拡散層の電源端子と第 1 層メタルの入力端子および出力端子を備えて高さの異なる複数の機能セル 1 0 0 と所定の機能セル個数毎に少なくとも 1 個の基板コンタクトセル 1 0 5 とを含み、各セル内部の N ウェル境界が一直線上になるように整列配置してスタンダードセル列を形成し、第 1 層メタルの接続線 9 0 1 でセル間が配線されている。スタンダードセル列内のセル内配線およびセル間配線の領域を電源線の配置禁止領域 1 3 0 1 として抽出する。図 1 3 (b) は、ステップ 5 0 5 を終了した段階のレイアウト模式図であり、禁止領域 1 3 0 1 の外側に V D D 電源線 1 1 0 1、V S S 電源線 1 1 0 2 を配置し、P 型拡散層配線 1 1 0 3 a を設置している。ここで、この拡散層配線 1 1 0 3 a の抵抗値が許容範囲を越えたものとする。図 1 3 (c) はステップ 5 0 7 の再配線の途中段階で、図 1 2 のステップを終了した段階のレイアウト模式図を示す。P 型拡散層配線 1 1 0 3 a、V D D 電源線 1 1 0 1 が除去するとともに、P 型拡散層配線 1 1 0 3 a の抵抗値の低減に対してネックとなっていた第 1 層メタルの接続線 9 0 1 a、9 0 1 b を除去し、端点であった位置にスルーホール 1 3 0 2 を設置する。図 1 3 (d) はステップ 5 0 8 を終了した段階のレイアウト模式図で、修正された禁止領域 1 3 0 1 a の外側に V D D 電源線 1 1 0 1 が再度配置され、除去された第 1 層メタルの接続線 9 0 1 a、9 0 1 b の代わりに第 2 層メタルの接続線 1 3 0 3、スルーホール 1 3 0 2、第 1 層メタルの接続線 9 0 1 を用いて V D D 電源 1 1 0 1 の外側を迂回して接続するので、P 型拡散層配線 1 1 0 3 b は短縮されて抵抗値が低減され許容抵抗値の範囲内とすることができる。

【 0 0 3 4 】

スタンダードセル列間の信号配線もステップ 5 0 8 で同様に実行される。図 1 4 のパターン図はステップ 5 0 8 終了後のパターン図である。スタンダードセル列間の信号配線が端子 C から第 1 層メタルの接続線 9 0 1, 第 1 層メタルと第 2 層メタルの間のスルーホール 1 3 0 2, 第 2 層メタルの接続線 1 3 0 3、第 1 層メタルと第 2 層メタルの間のスルーホール 1 3 0 2 を介して 2 入力 NOR セル 1 0 2 の他方の入力端子に接続する。

【 0 0 3 5 】

このように本発明のスタンダードセルを用いてスタンダードセル列を形成し、図 5 のフロー図にしたがって信号配線、電源線を配線することにより、高さの異なるセルであっても支障なく配置配線でき、電源線の幅をセル列毎に適切な幅に設定でき、素子領域上も配線チャネルとして使用できるので高密度な配線が可能となる。

図 1 5 のフロー図は、本発明のスタンダードセルの配置配線方法の他の実施例である。セル列の形成に先だって所定の個数範囲のセルグループを形成し、セルグループ単位でセルグループ内のセル間配線、電源線の配線を実行した後に、セル列に各セルグループをはめ込んでセルグループ境界の接続を行う点で図 5 のフロー図は異なっている。

【 0 0 3 6 】

ステップ 1 5 0 1 では回路接続情報を入力する。次にステップ 1 5 0 2 に進み、セルを仮配置して仮のセル列を形成する。次にステップ 1 5 0 3 に進み、仮セル列で同一セル列内の隣接配置された所定個数の範囲のセルを 1 個のセルグループとして各セルをグルーピングする。このときに同時にセルグループに対応して回路接続情報に変更を加えて回路接続情報ファイル 4 0 3 に格納しても良い。

【 0 0 3 7 】

次に、ステップ 1 5 0 4 に進み、セルグループを 1 個取り出す。次に、ステップ 1 5 0 5 に進み、対象セルグループに含まれるスタンダードセルをセルライブラリファイル 4 0 2 から読み出し、仮配置情報をもとに配置して少なくとも 1 個の基板コンタクトセルを付加してからスタンダードセル間の配線を行う。

【 0 0 3 8 】

次にステップ 1 5 0 6 に進み、セルグループ内の信号線部の外側に沿った仮想線に囲まれた領域を抽出して電源線の禁止領域とし前記制約情報ファイルに格納する。次にステップ 1 5 0 7 に進み、適切な電源線の幅を制約情報ファイル 4 0 4, パラメータファイル 4 0 6 に格納された情報をもとに算出し、禁止領域の外側に電源線を生成する。電源線は直線的な形状で生成してもよいが、禁止領域に沿った折れ曲がりを持つ形状に生成してもよい。

【 0 0 3 9 】

次にステップ 1 5 0 8 に進み、セルグループに含まれるスタンダードセルの電源端子を電源線に接続する。電源端子と電源線とが重なっている場合には電源端子の位置にコンタクトホールを発生し、電源端子と電源線とが重なっていない場合には電源端子から拡散層配線を延長して電源線との重なり部を形成し、コンタクトホールを設ける。

【 0 0 4 0 】

次にステップ 1 5 0 9 において、電源供給用に端子から延長した拡散層配線の抵抗値が許容範囲内か否かを判定する。抵抗値が許容範囲を越える場合にはステップ 1 5 1 0 に移行して、図 1 2 のフローと同様の処理をして再配線し、ステップ 1 5 0 5 に進む。拡散層配線の抵抗値が許容範囲内の場合は、このセルグループについての配置配線処理が完了したものととしてステップ 1 5 1 1 に移行する。

【 0 0 4 1 】

ステップ 1 5 1 1 では全部のセルグループの配置配線処理が完了したか否かを判定する。処理が完了していないセルグループがあるときにはステップ 1 5 0 4 に移行する。全てのセルグループの処理が完了した場合にはステップ 1 5 1 2 に移行する。

【 0 0 4 2 】

ステップ 1 5 1 2 では、仮セル列の仮配置セルをセルグループに置換する。次にステップ 1 5 1 3 に移り、セルグループ間の電源線の接続をする。次にステップ 1 5 1 4 に進み、セル列内のみ接続配線およびセル列間の信号配線を接続して配置配線処理を完了する。

【0043】

図16(a), (b), (c)はセルグループのレイアウト模式図である。セルグループ内の機能セル100、基板コンタクトセル105の配置と、セルグループ内の信号線の配線領域を囲んで設定された禁止領域1301と、禁止領域1301の外側に沿って配置されたVDD電源線1101およびVSS電源線1102とを含んでいる。図16(d)は、図16(a), (b), (c)のそれぞれのセルグループを結合してえられるスタンダードセル列である。

【0044】

図17のパターン図はステップ1508が終了した段階でのセルグループのパターンを示したものである。内部の配線領域を囲んで、電源線の禁止領域1301が設定され、平面視で禁止領域1301の上側にVDD電源線1101が折れ曲がって配置され、同様に禁止領域1301の下側にVSS電源線1102が折れ曲がって配置されている。電源線の折れ曲がりにより、配線をより一層高密度にできるとともに、電源端子と電源線を結ぶ拡散層配線の長さが図11のパターン図のそれと比較して格段に短くできるので、ステップ1509で許容抵抗値を越える拡散層配線の数も低減して配置配線の効率を向上させることができるという効果がある。

【0045】

【発明の効果】

以上に説明したように、本発明のスタンダードセルを使用してスタンダードセル列を形成し配置配線することにより、セルの高さが異なるセルであっても支障なく配置配線でき、電源線とセル内配線領域との間の素子領域上も配線チャネルとして使用できるので高密度な配線が可能となり、また電源線の幅をセル列毎に適切な幅に設定できるという効果がえられる。

【図面の簡単な説明】

【図1】

(a), (b)は本発明のスタンダードセルのうちのインバータセルのパターン図である。

【図2】

(a) は本発明のスタンダードセルのうちの 2 入力 NOR セルのパターン図であり、(b) は本発明のスタンダードセルのうちの 2 入力 NAND セルのパターン図である。

【図 3】

(a) は本発明のスタンダードセルのうちの低電力インバータセルのパターン図であり、(b) は本発明のスタンダードセルのうちの基板コンタクトセルのパターン図である。

【図 4】

本発明のスタンダードセルの配置配線装置の構成図である。

【図 5】

本発明のスタンダードセルの配置配線フロー図である。

【図 6】

説明に用いた回路の回路図である。

【図 7】

ステップ 5 0 2 の処理の詳細を示すフロー図である。

【図 8】

ステップ 5 0 2 の処理を終了した段階におけるパターン図である。

【図 9】

ステップ 5 0 3 の処理を終了した段階におけるパターン図である。

【図 1 0】

ステップ 5 0 5 の処理の詳細を示すフロー図である。

【図 1 1】

ステップ 5 0 5 の処理を終了した段階におけるパターン図である。

【図 1 2】

ステップ 5 0 7 の処理の詳細を示すフロー図である。

【図 1 3】

(a), (b), (c), (d) は配置配線の各段階でのレイアウト模式図である。

【図 1 4】

ステップ 5 0 8 の処理を終了した段階におけるパターン図である。

【図 1 5】

本発明のスタンダードセルの他の実施例の配置配線フロー図である。

【図 1 6】

(a), (b), (c) はセルグループのレイアウト模式図であり、(d) はスタンダードセル列である。

【図 1 7】

ステップ 1 5 0 8 の処理を終了した段階におけるパターン図である。

【図 1 8】

(a) はスタンダードセル方式の L S I のレイアウト模式図であり、(b) は第 1 の従来のスタンダードセルのパターン図である。

【図 1 9】

(a), (b), (c) はそれぞれ第 2、第 3、第 4 の従来のスタンダードセルの配線領域図である。

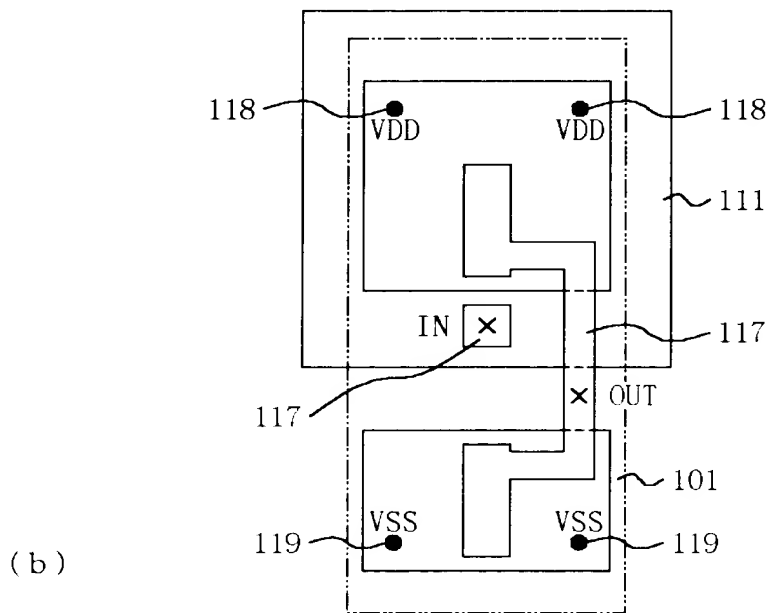
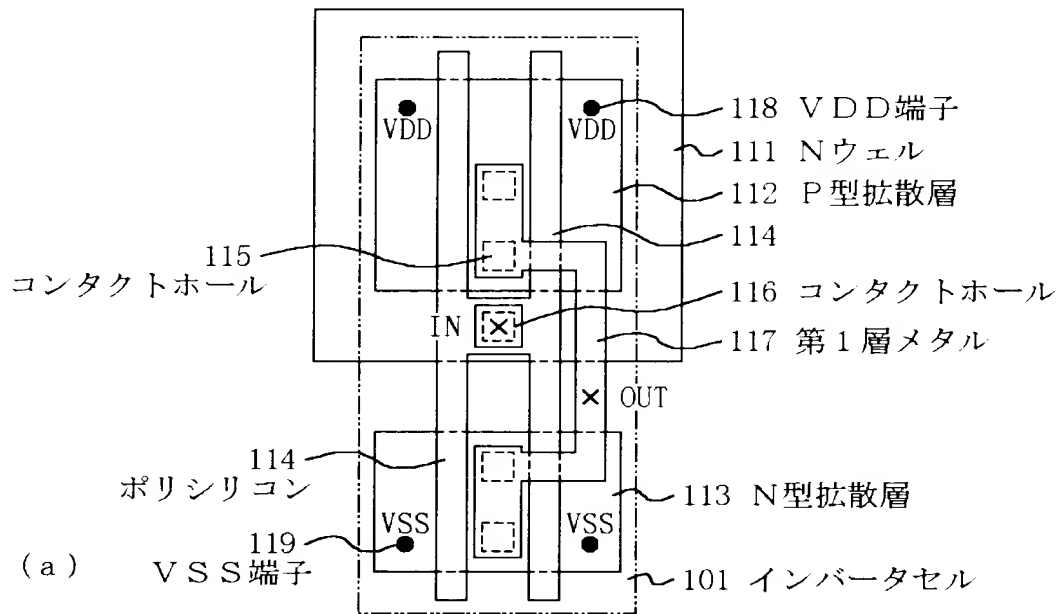
【符号の説明】

1 0 0, 1 0 6, 1 0 6 a	機能セル
1 0 1	インバータセル
1 0 2	2 入力 N O R セル
1 0 3	2 入力 N A N D セル
1 0 4	低電力インバータセル
1 0 5	基板コンタクトセル
1 1 1	N ウェル
1 1 2	P 型拡散層
1 1 3	N 型拡散層
1 1 4	ポリシリコン
1 1 5, 1 1 6, 1 1 0 5	コンタクトホール
1 1 7	第 1 層メタル
1 1 8	V D D 端子
1 1 9	V S S 端子

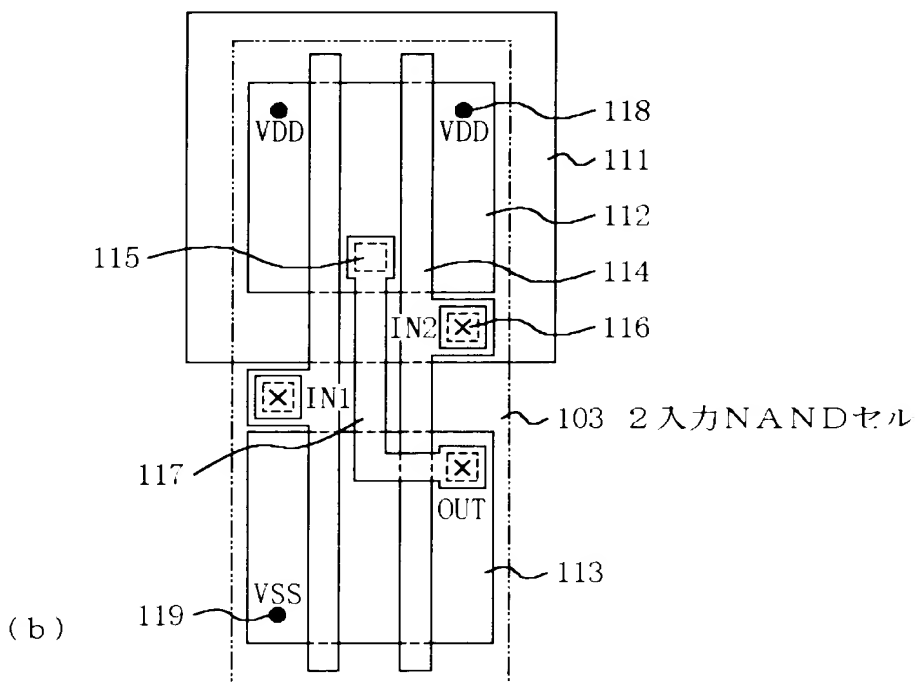
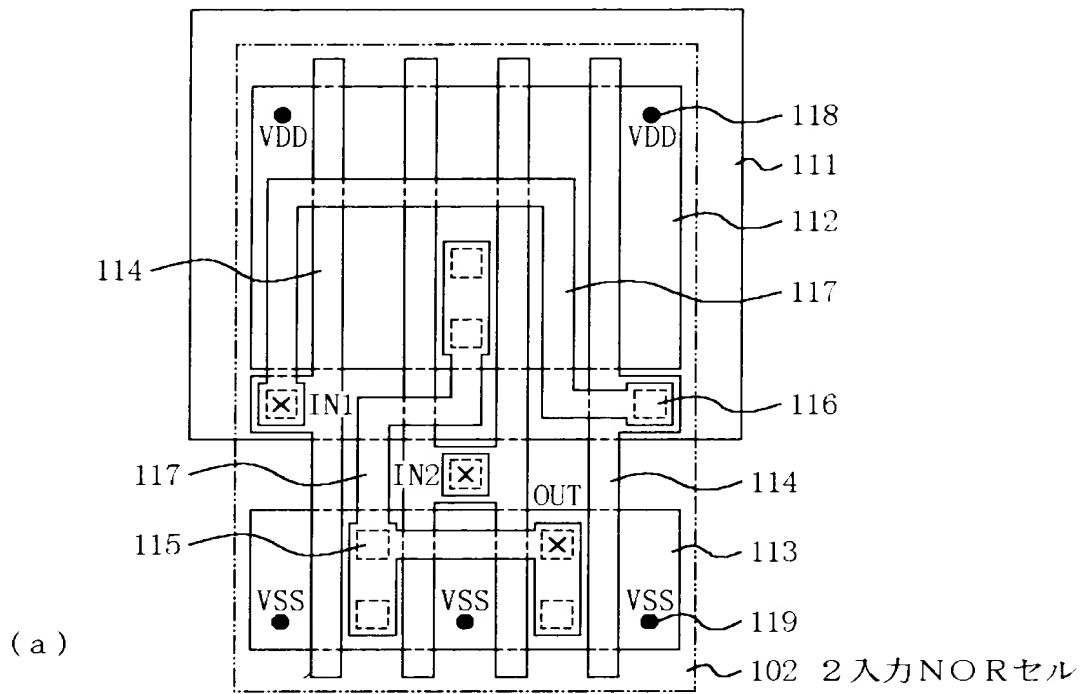
- 4 0 1 配置配線システム
- 4 0 2 セルライブラリファイル
- 4 0 3 回路接続情報ファイル
- 4 0 4 制約情報ファイル
- 4 0 5 入出力表示装置
- 4 0 6 パラメータファイル
- 9 0 1, 9 0 1 a, 9 0 1 b 第 1 層メタルの接続線
- 1 1 0 1 V D D 電源線
- 1 1 0 2 V S S 電源線
- 1 1 0 3, 1 1 0 3 a, 1 1 0 3 b P 型拡散層配線
- 1 1 0 4 N 型拡散層配線
- 1 3 0 1 禁止領域
- 1 3 0 2 スルーホール
- 1 3 0 3 第 2 層メタルの接続線
- 1 8 0 1 配線チャネル領域
- 1 8 0 2 セル間配線
- 1 8 0 3 セル列間配線

【書類名】 図面

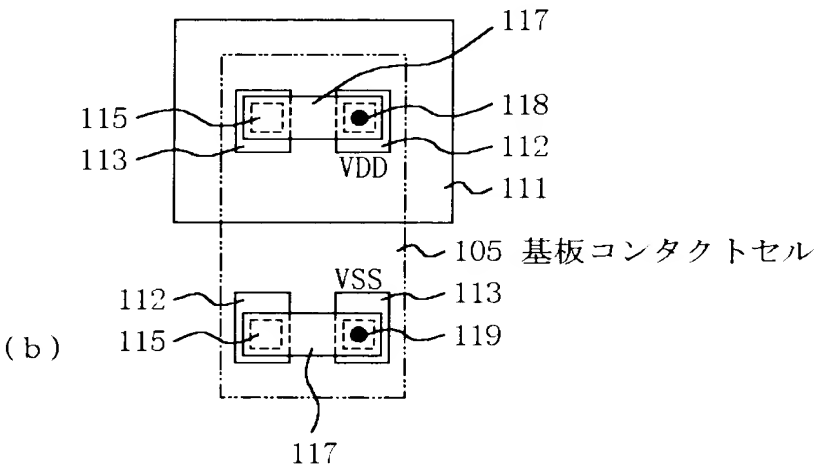
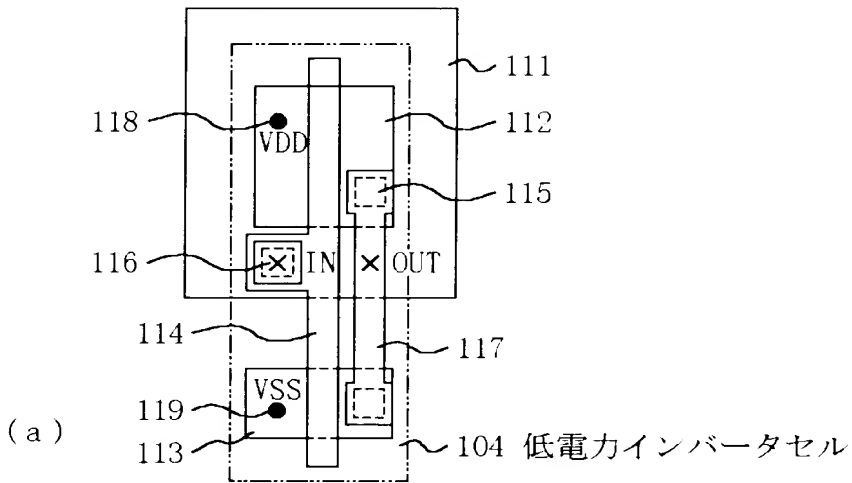
【図 1】



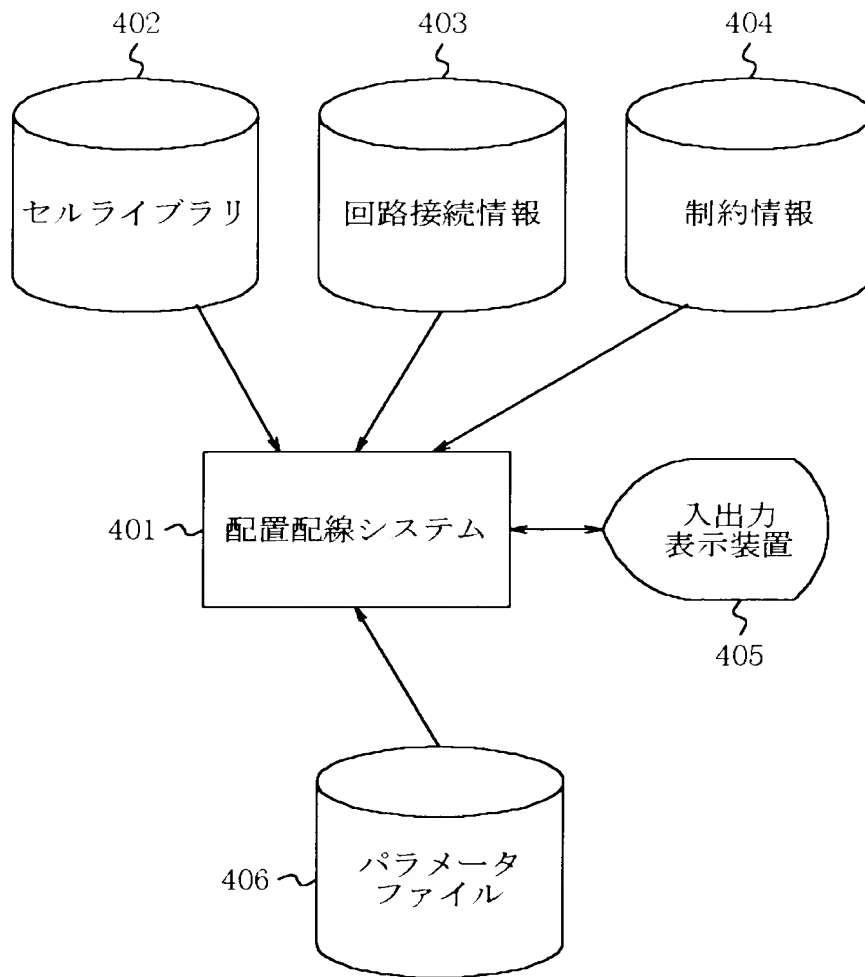
【図 2】



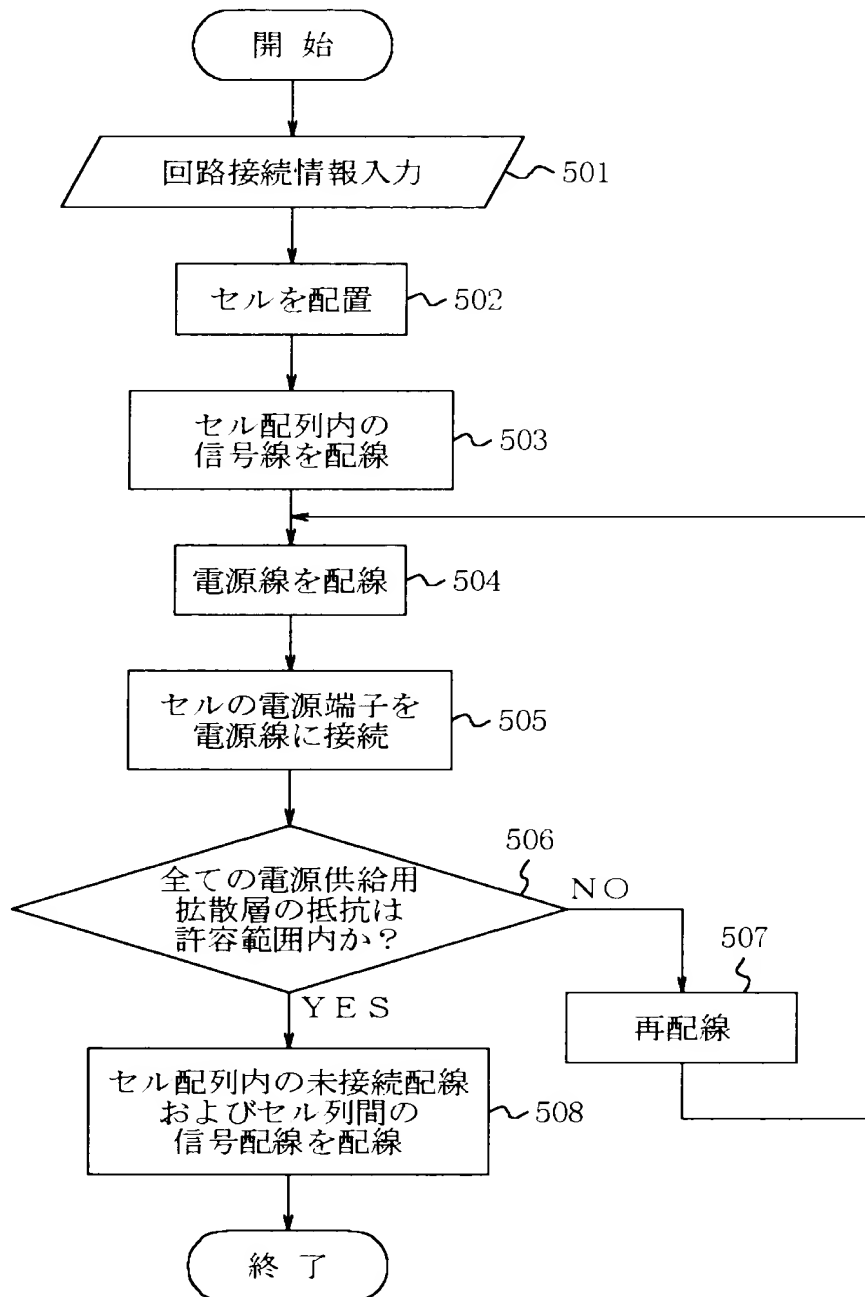
【図 3】



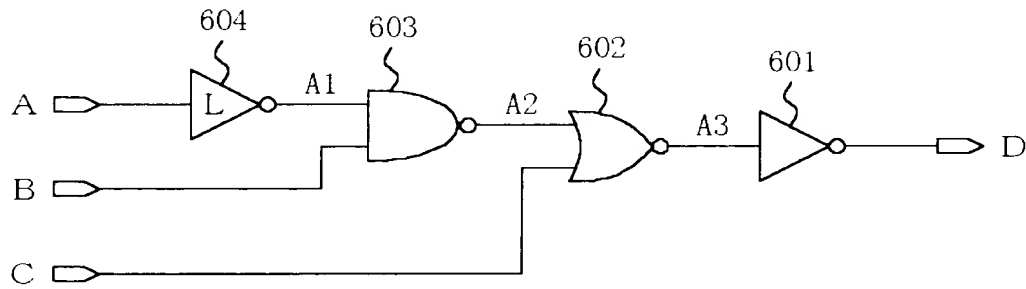
【図 4】



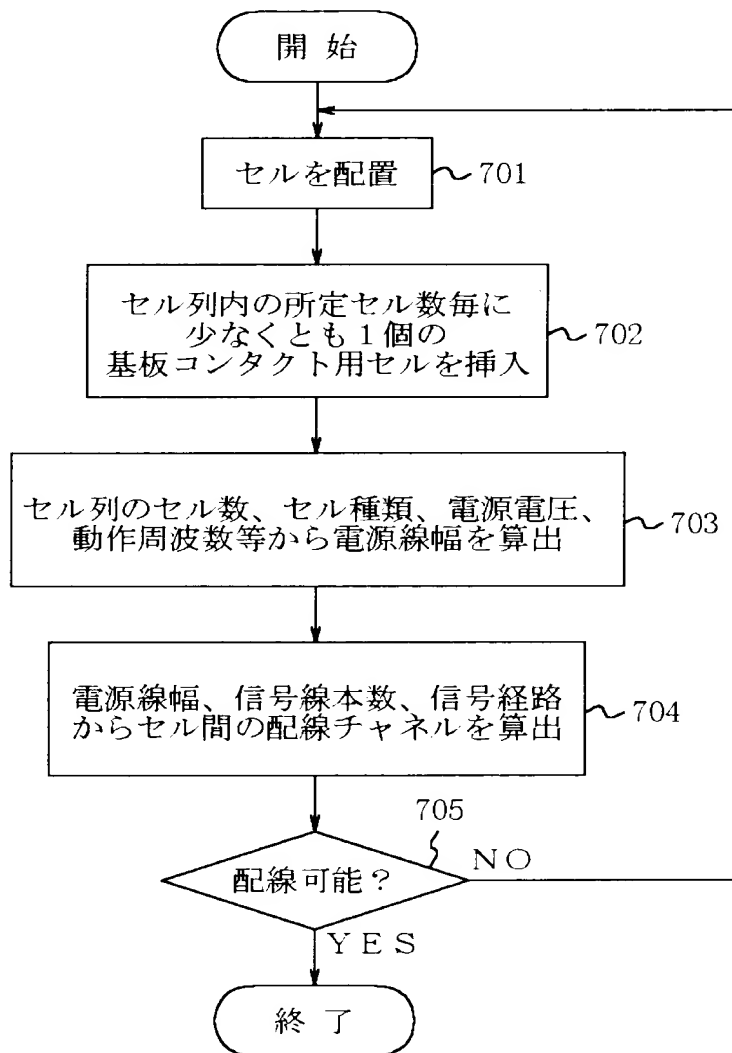
【図 5】



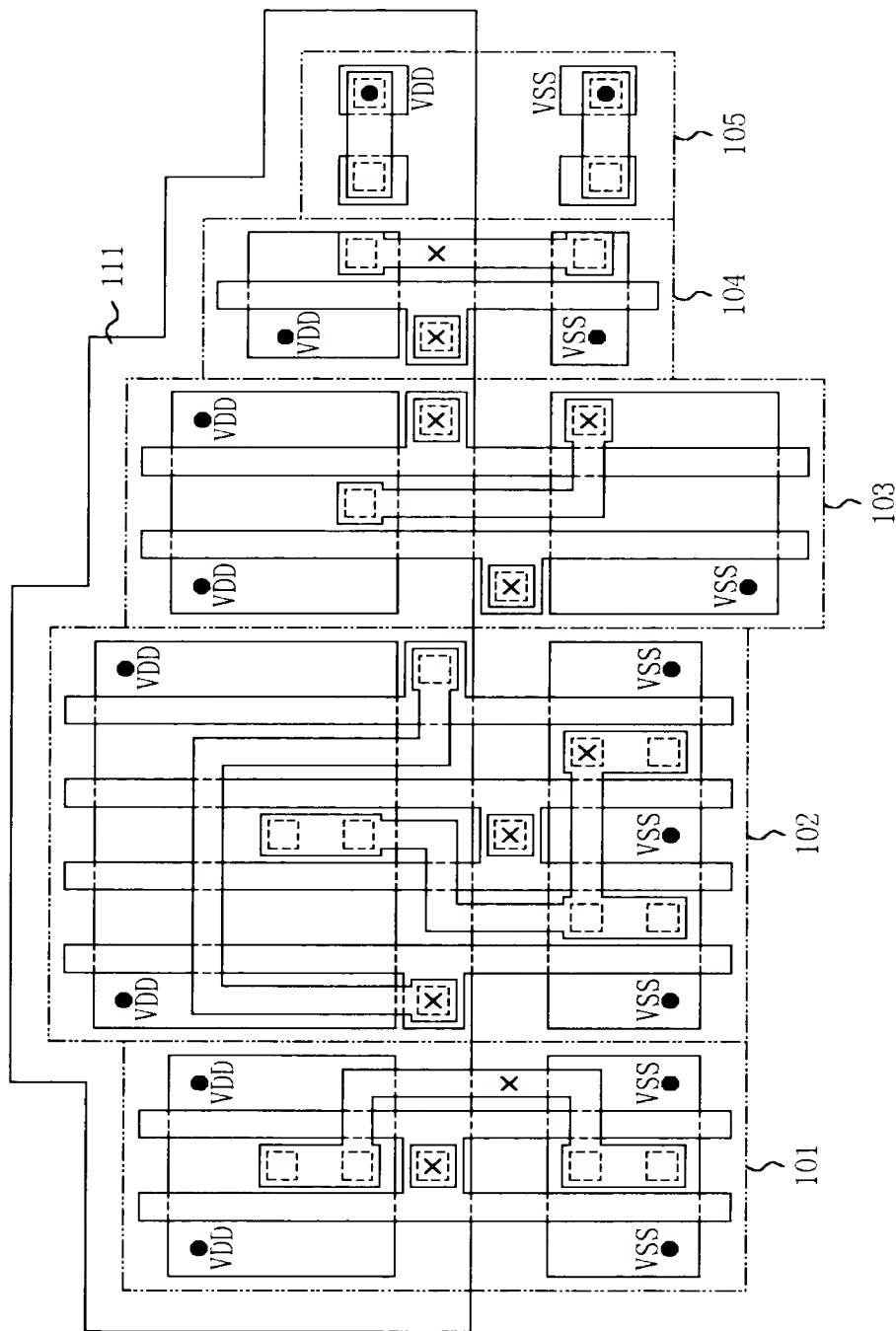
【図 6】



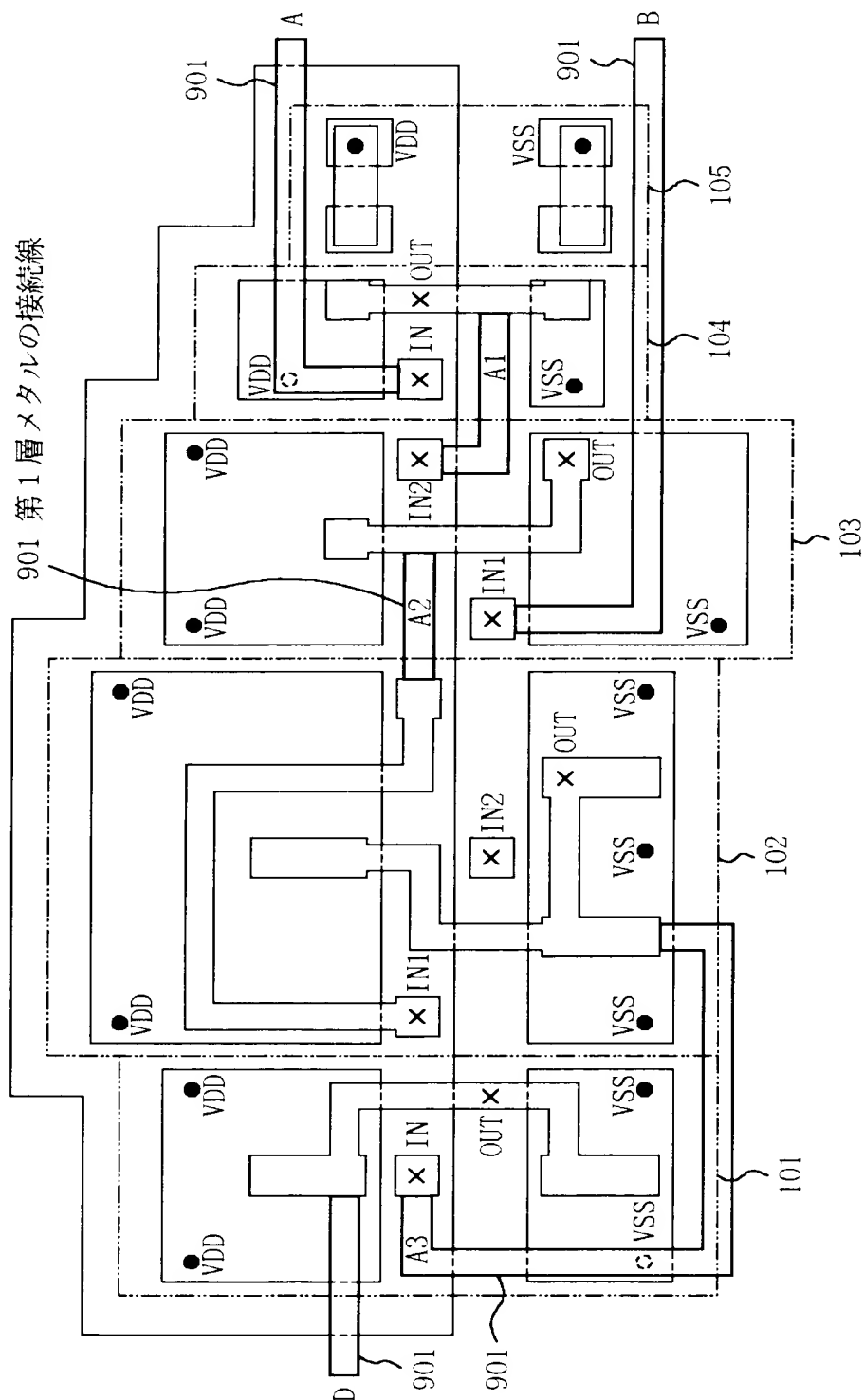
【図 7】



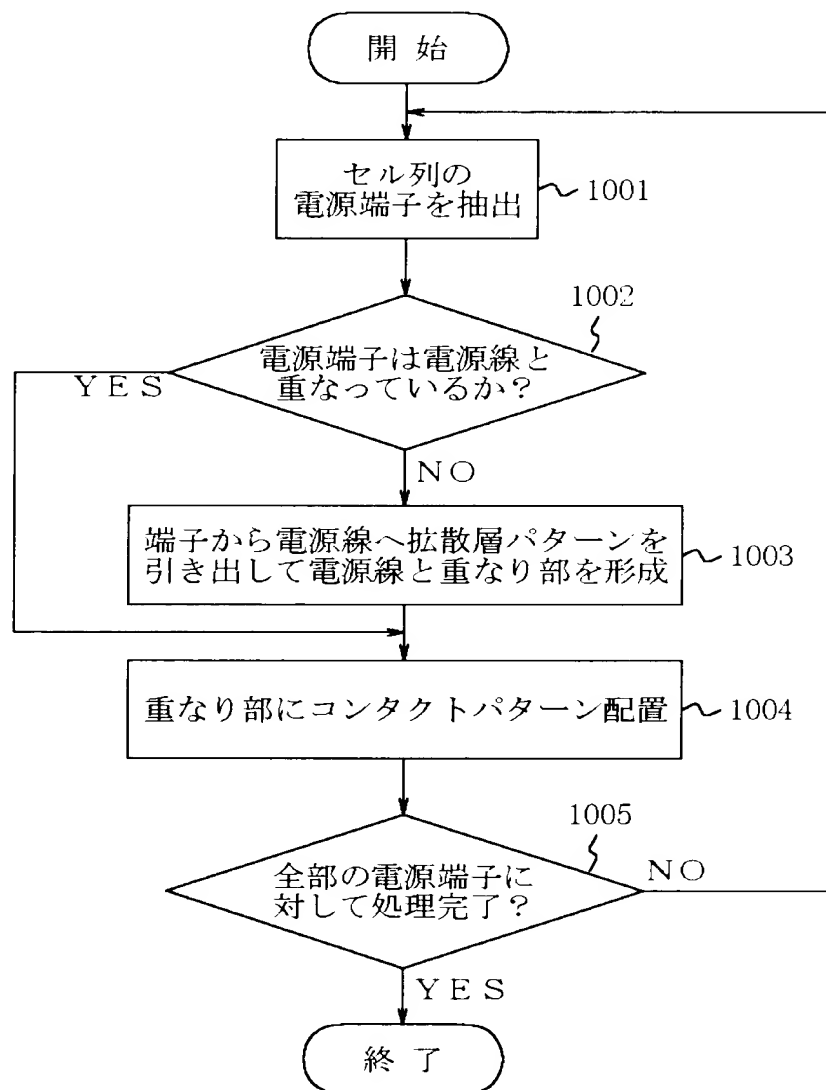
【図 8】



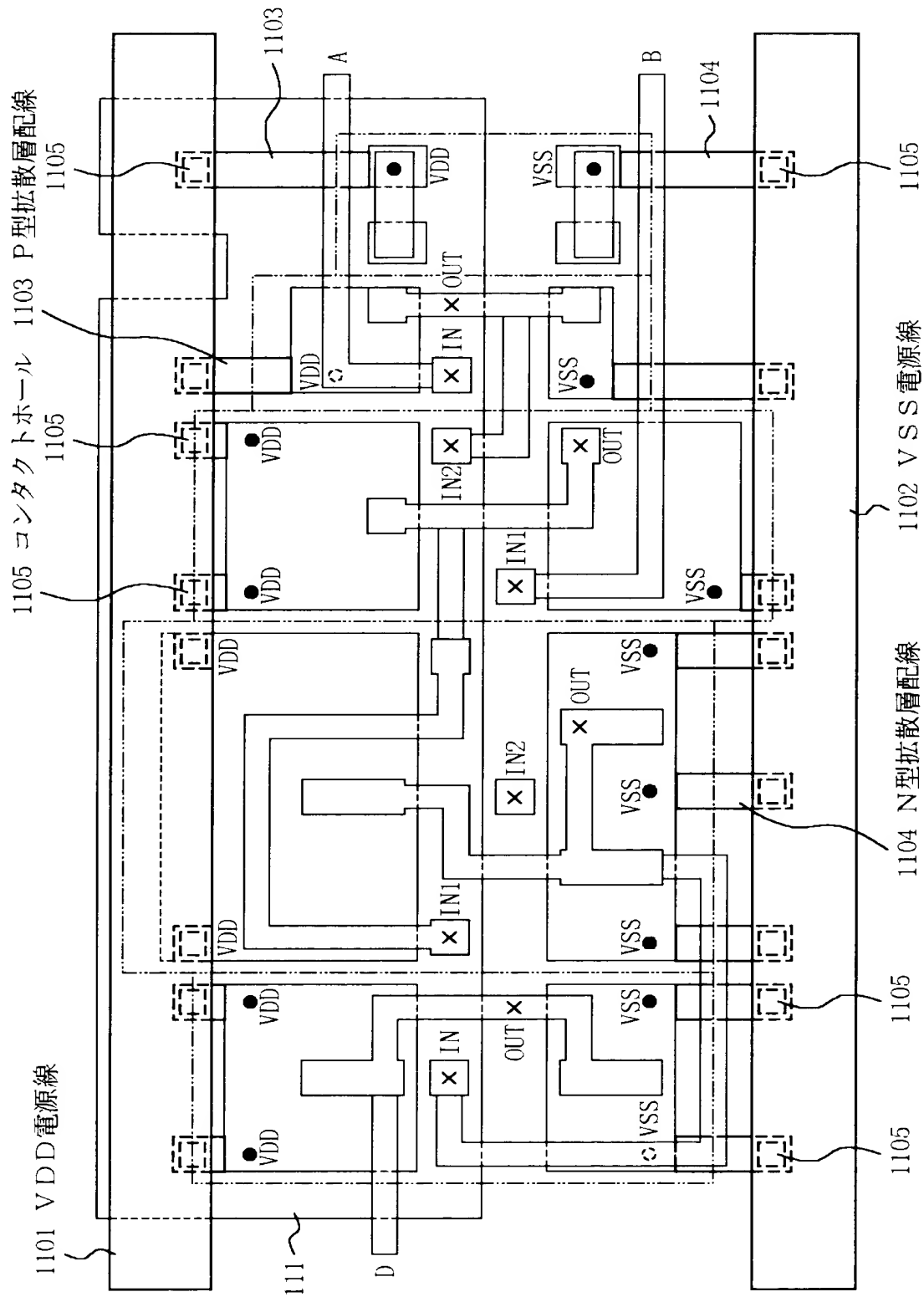
【図 9】



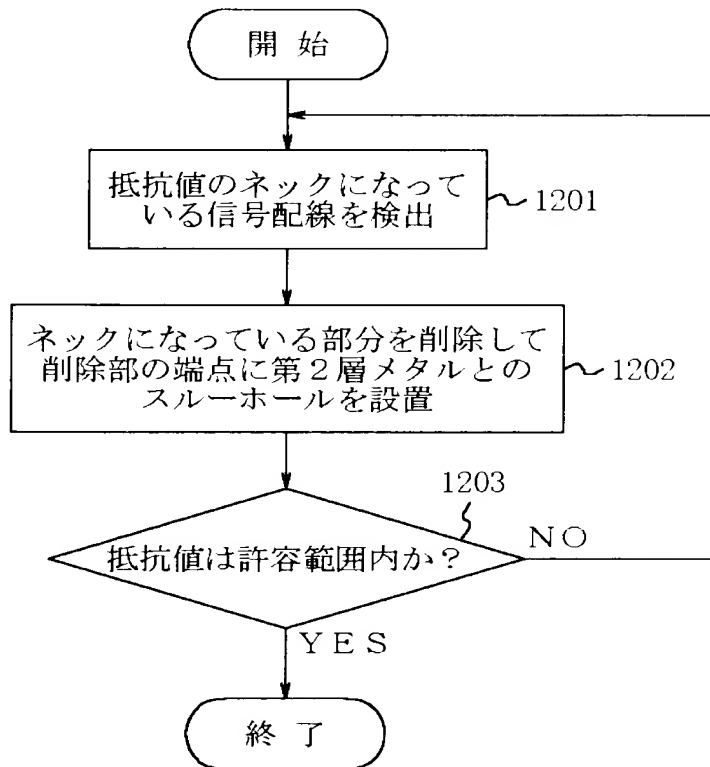
【図 1 0】



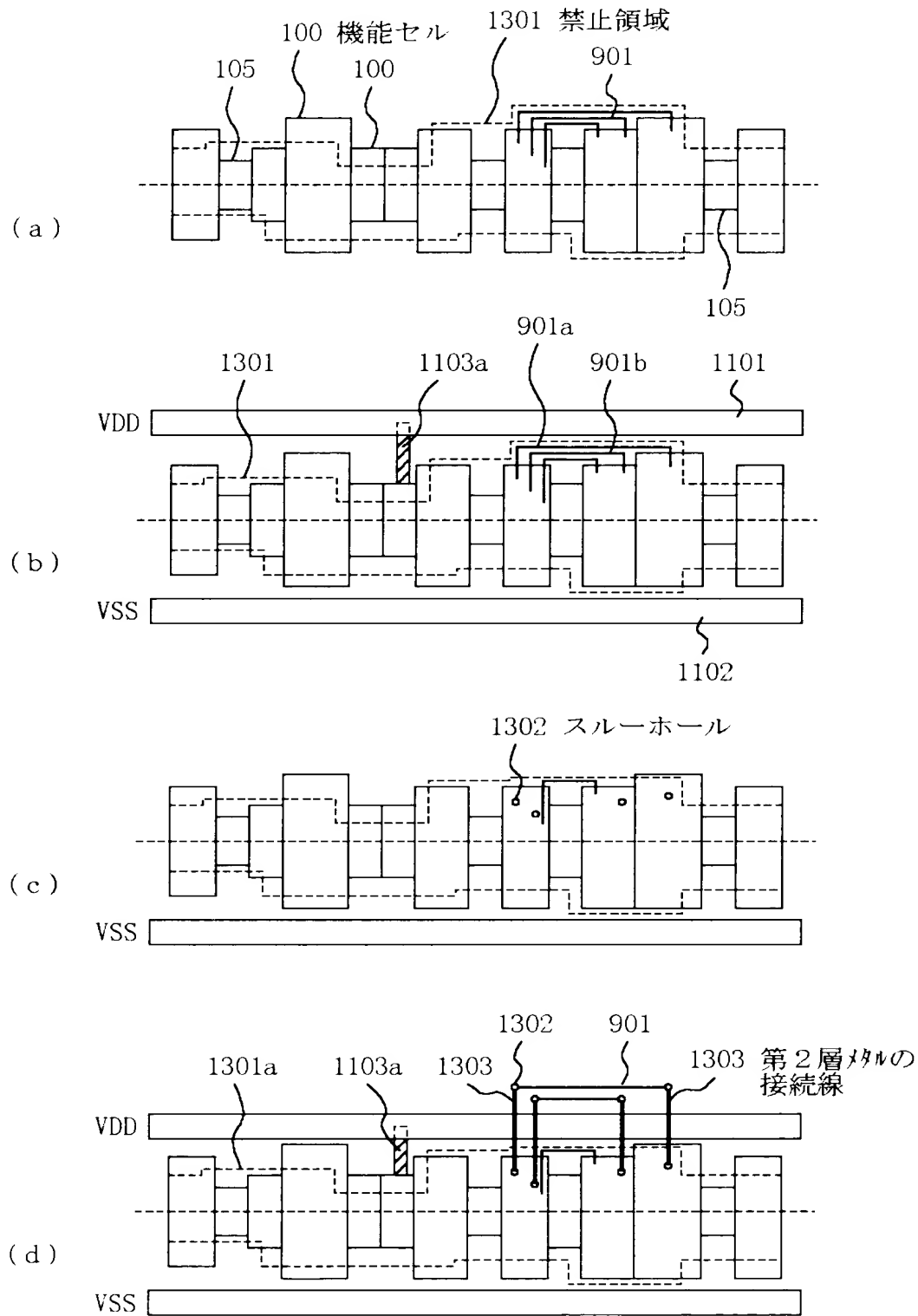
【図 1 1】



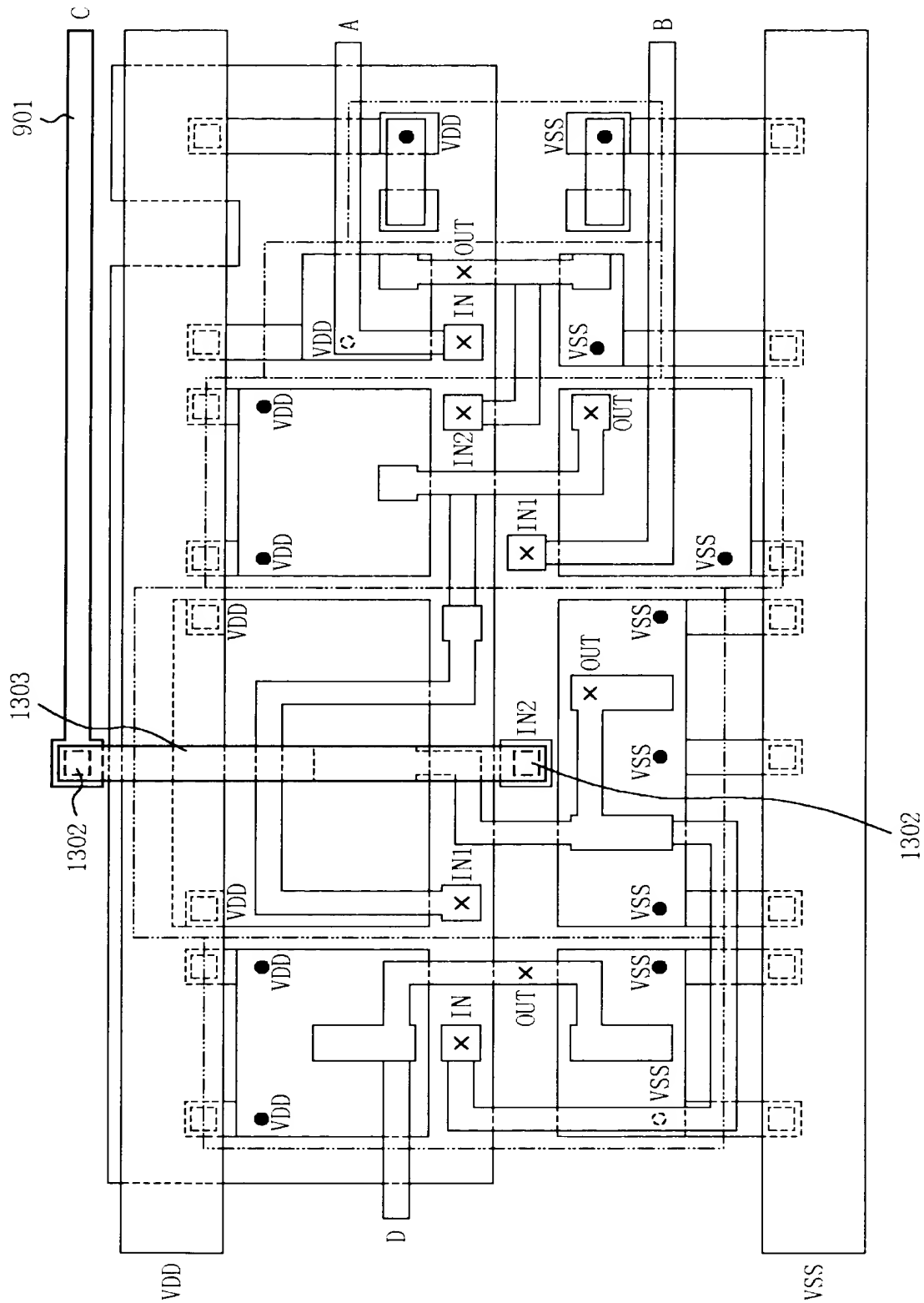
【図 1 2】



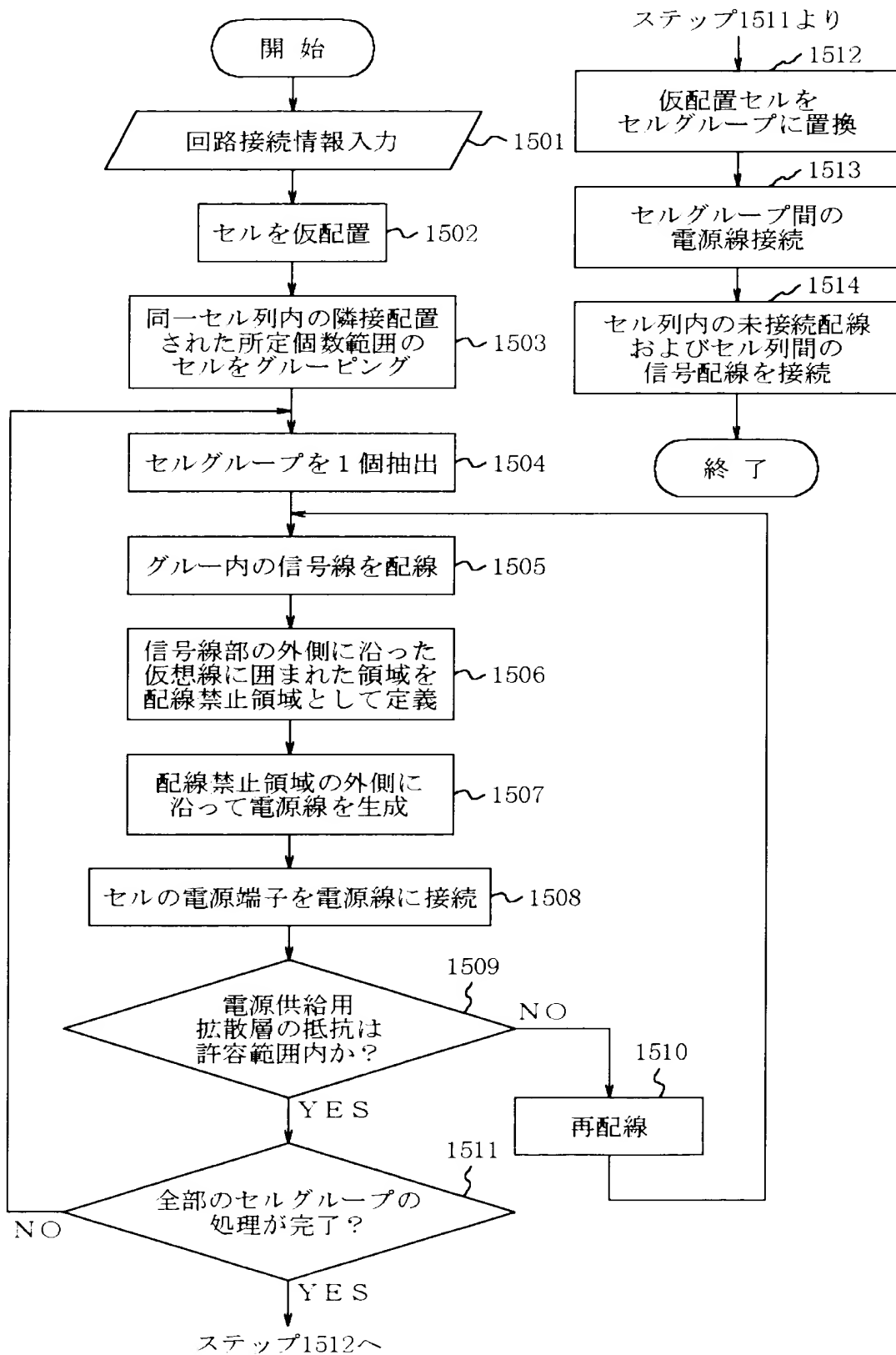
【図 1 3】



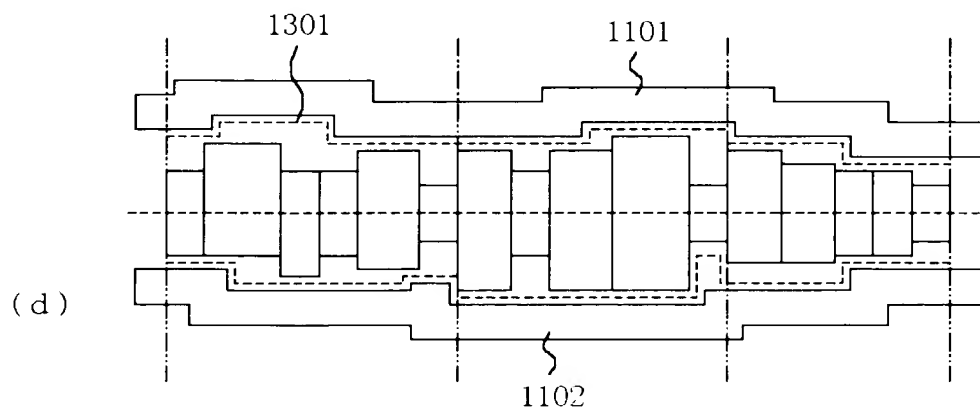
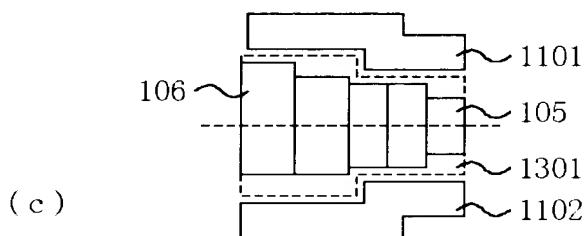
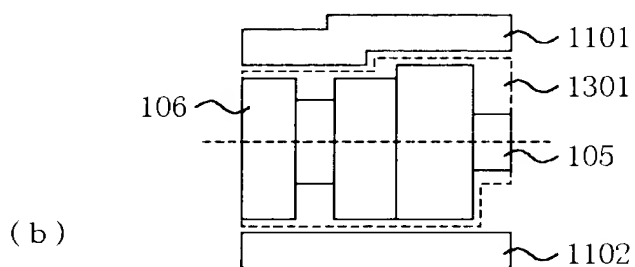
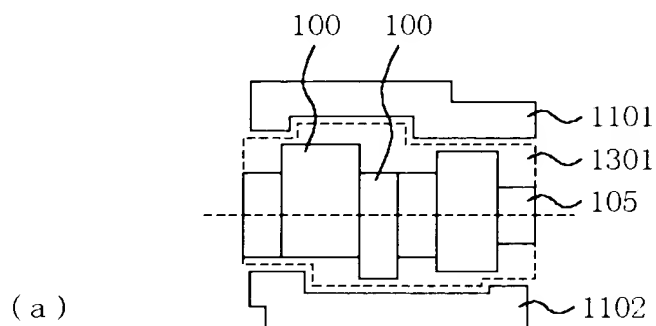
【図 1 4】



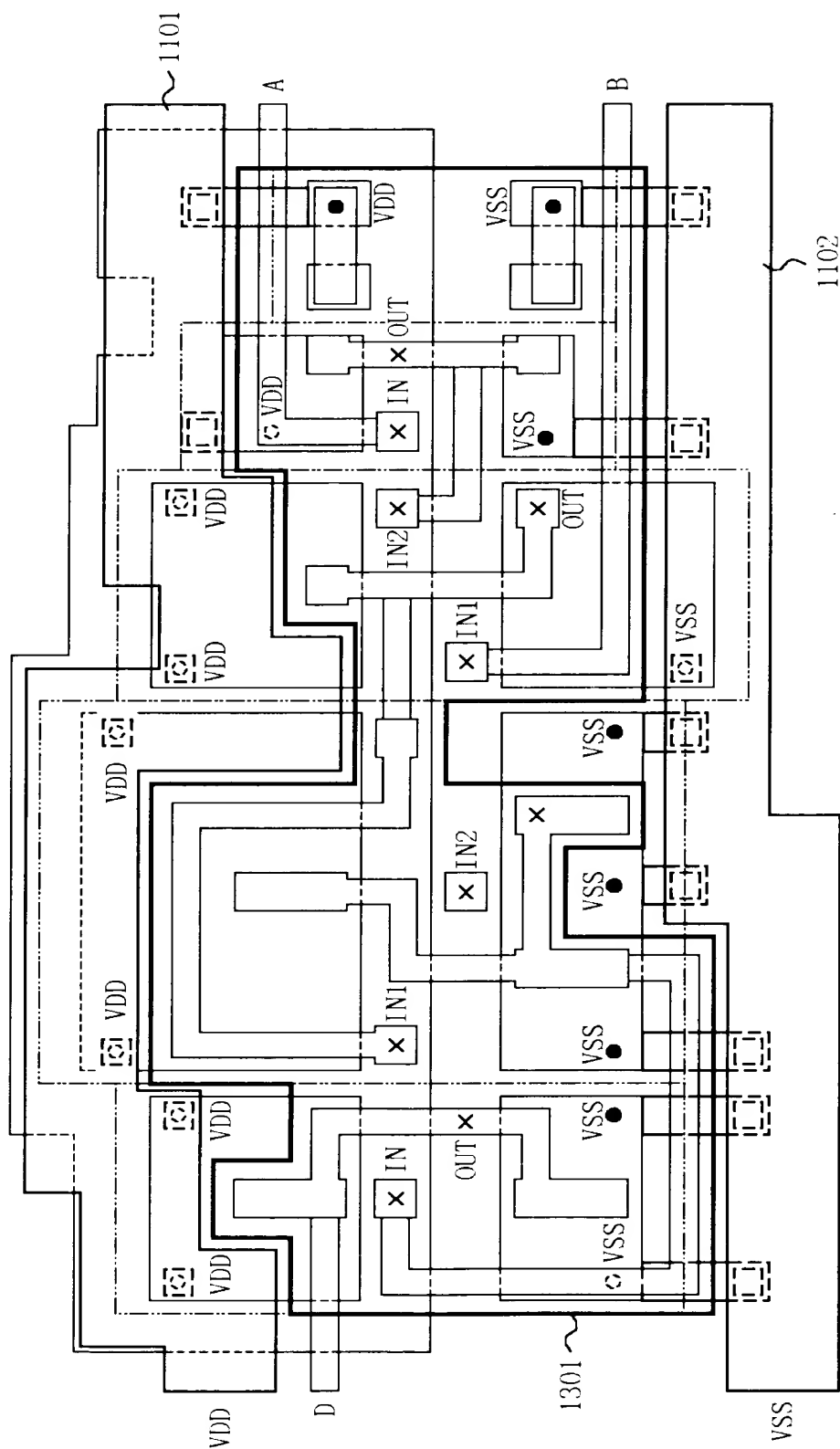
【図 1 5】



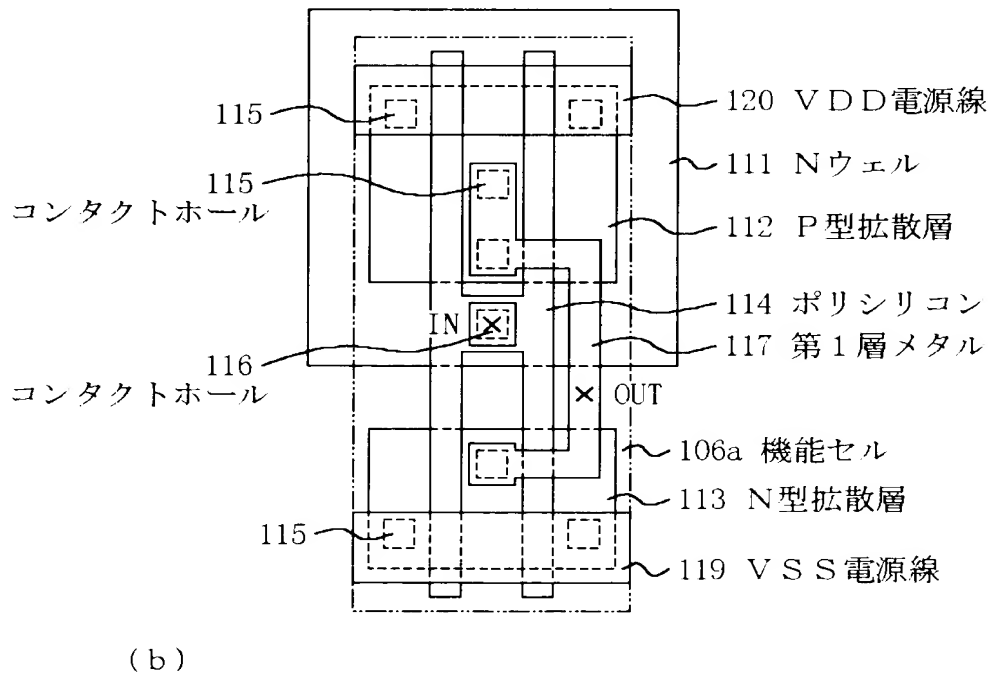
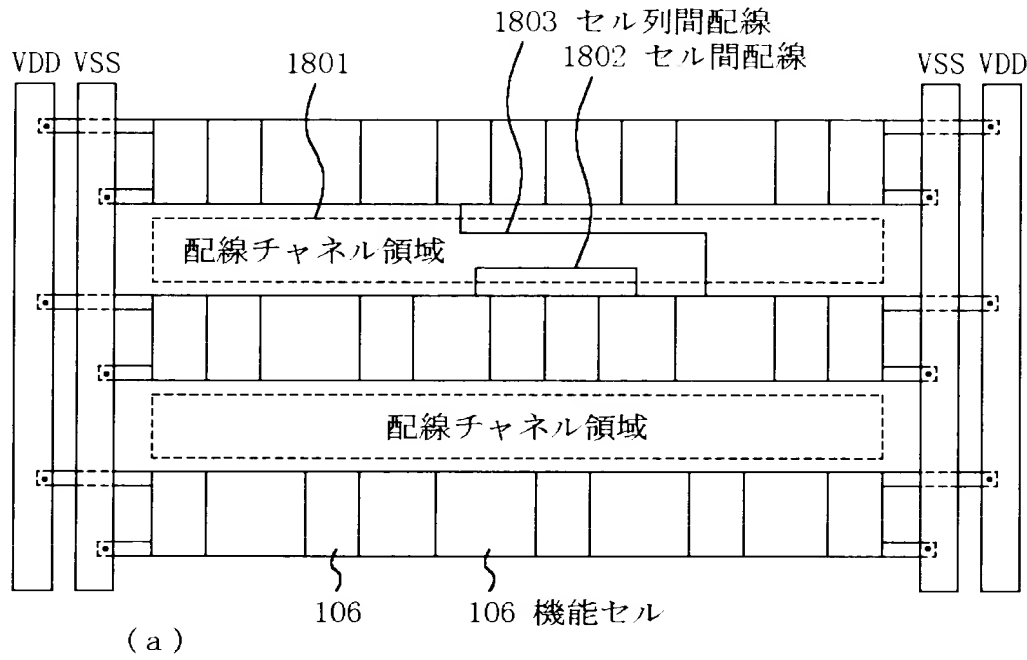
【図 1 6】



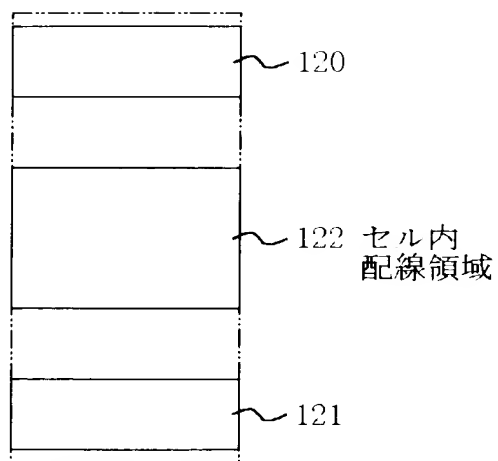
【図 1 7】



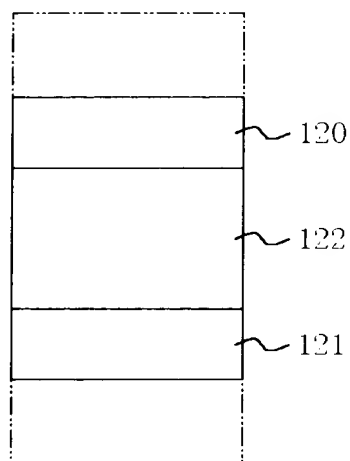
【図 1 8】



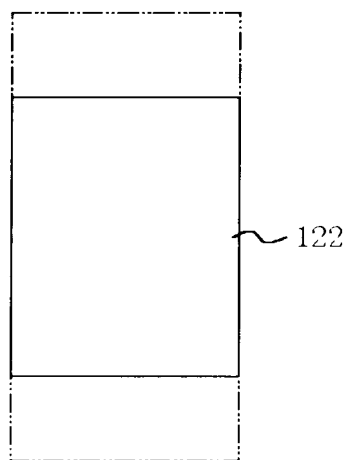
【図 1 9】



(a)



(b)



(c)

【書類名】 要約書

【要約】

【課題】セル高さ一定の制約がなく、電源線とセル内配線領域との間の領域にセル間配線がなされ、また最適な線幅の電源線を確保できるスタンダードセルを提供する。

【解決手段】VDD端子118をP型拡散層112とし、VSS端子119をN型拡散層113とし、入力端子と出力端子を第1層メタル117としたスタンダードセルを用いて、第1層メタルの電源線と接続するときには電源端子から拡散層の電源線を引き伸ばして電源線との重なり部を形成してコンタクトホール設ける。

【選択図】 図1

認定・付加情報

特許出願の番号	平成 1 1 年	特許願	第 1 8 2 4 4 5 号
受付番号	5 9 9 0 0 6 1 7 9 7 2		
書類名	特許願		
担当官	第五担当上席	0 0 9 4	
作成日	平成 1 1 年	6 月 3 0 日	

<認定情報・付加情報>

【提出日】	平成11年 6月28日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 日本電気アイシーマイコンシステム株式会社